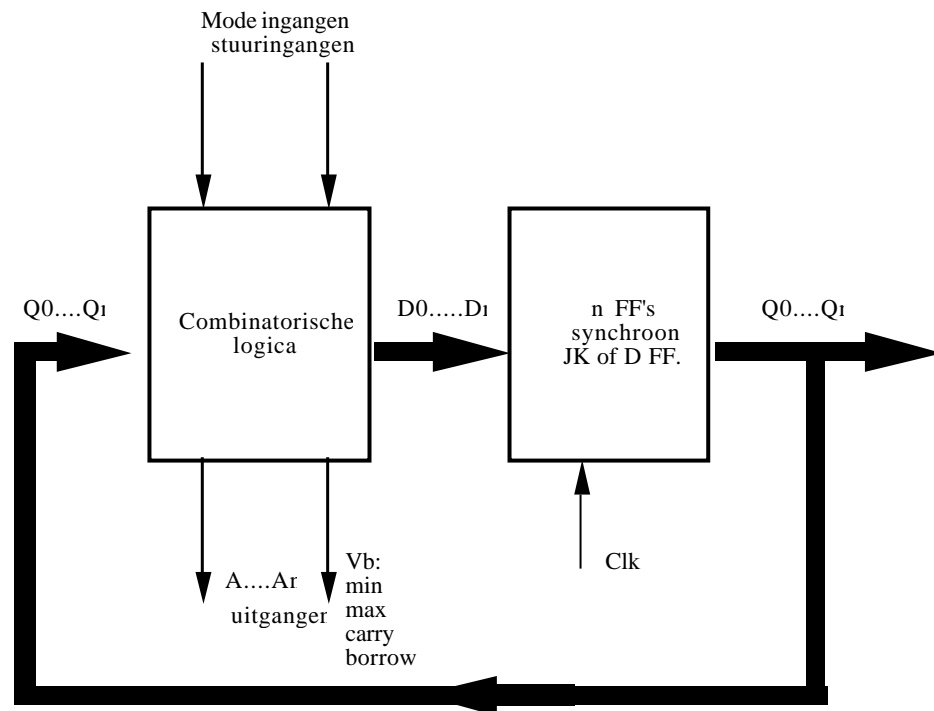


### Voorstelling van een synchroon sequentieel systeem



figuur 1.1

Een teller is meestal een synchroon sequentieel systeem dat een aantal ingangsimpulsen telt (zie figuur 1.1). Hij is opgebouwd met geheugenelementen (flipflops) en combinatorische logica (poorten). De geheugenelementen dienen voor het bewaren van het aantal getelde impulsen (de toestand van de teller, state). De combinatorische logica zorgt ervoor dat bij iedere impuls op de ingang de telstand wordt bijgewerkt overeenkomstig de eigenschappen van de teller.

We spreken van een teller (**COUNTER**) als een aantal ingangsimpulsen werkelijk geteld worden. Om de stand van de teller weer te geven hebben we dan alle uitgangen van de flipflops nodig.

We spreken van een deler (**DIVIDER**) als het de bedoeling is de frequentie van een bepaald ingangssignaal te delen. Hiertoe is slechts één uitgang nodig. Het inwendige van de schakeling is in beide gevallen hetzelfde; een teller is dus automatisch een deler.

**Synchrone- of paralleltellers** zijn tellers waarvan de flipflops, die bij een bepaalde telimpuls moeten veranderen, dit doen op hetzelfde moment. Hiervoor moet de klokimpuls aangesloten worden op de controle ingang van alle flipflops. De combinatorische logica uit figuur 1.1 zorgt voor de juiste informatie ( $D_0 \dots D_n$ ) om het sequentieel systeem in een volgende toestand (state) te brengen. Hiervoor gebruikt de comb. logc. als ingang de vorige toestand ( $Q_0 \dots Q_n$ ).

Via de **mode ingangen of de sturingangen** van de combinatorische logica kunnen we het sequentieel systeem laten functioneren als teller in de aikencode, decadeteller, enz. Het combinatorisch systeem is soms voorzien van een aantal extra uitgangen zoals min. telstand, max. telstand, carry, borrow, enz.

---

Een teller kan, afhankelijk van het aantal flipflops, verschillende toestanden aannemen. Zo kan een teller met twee flipflops  $2^2 = 4$  verschillende toestanden aannemen (00 - 01 - 10 - 11). We noemen deze toestanden de **telcyclus**. De **telcapaciteit** is het aantal toestanden waaruit de telcyclus bestaat. Het aantal flipflops, dat nodig is om een teller te maken is te berekenen uit:

$$2^{N-1} < T \leq 2^N$$

Hierin is N het aantal flipflops en T de telcapaciteit. Een voorbeeld maakt de berekening duidelijker. Veronderstel dat we een 10-teller wensen te maken. (T = 10). Dan is:

$$2^3 < T \leq 2^4$$

Er zijn dus 4 flipflops nodig om een 10-teller te maken.

Tellers kunnen zodanig gemaakt worden dat iedere binnenkomende impuls opgeteld wordt bij het reeds aanwezige aantal. We noemen dit type teller dan een **opteller of up-counter**.

Een teller waar iedere binnenkomende impuls afgetrokken wordt van het aanwezige aantal, noemen we een **afteller of down-counter**.

Tellers, die zowel kunnen op- als aftellen, noemen we omkeerbare tellers, **reversibele tellers of up/down counters**. Het op- of aftellen wordt bepaald door een mode-ingang (zie figuur 1.1).

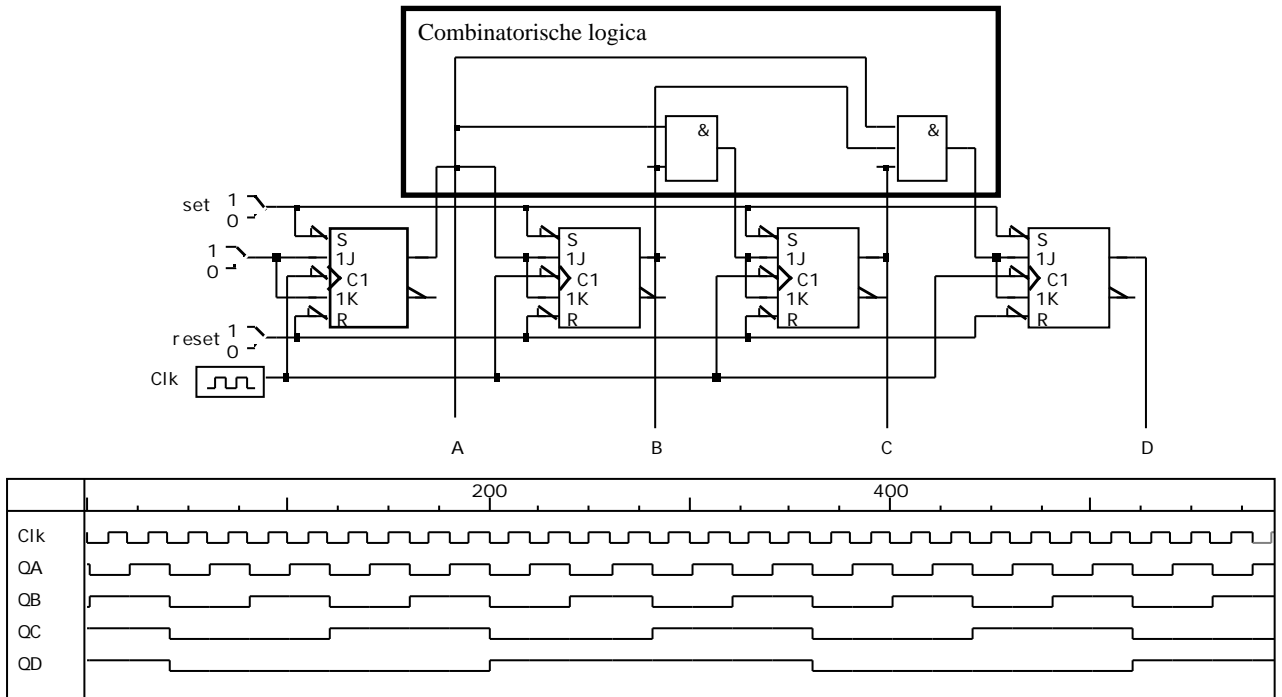
Een teller die een cyclus heeft van 10 toestanden noemen we meestal een **decade-teller**. Ze worden gebruikt om decimale getallen in binaire vorm voor te stellen. De meest gebruikte is de **8 - 4 - 2 - 1 BCD teller**. Algemeen is een BCD-teller een teller waarvan iedere FF-uitgang een bepaald gewicht voorstelt.

De **maximum telsnelheid** van een teller is het maximum aantal impulsen dat de teller kan verwerken. Deze telsnelheid wordt beperkt door de tijd dat het signaal nodig heeft om zich voort te planten door de flipflops en de combinatorische logica.

Asynchrone- of serietellers zijn tellers waarvan de veranderingen van de betrokken flipflops niet op hetzelfde moment gebeuren. Hiervoor is de klokimpuls niet aangesloten op de controle ingang van alle flipflops.

Omdat de uitgangen van alle flipflops niet synchroon veranderen worden deze tellers in de praktijk zoveel mogelijk vermeden, ongeacht het feit dat er op de markt componenten te verkrijgen zijn die asynchroon werken.

## Synchrone 16-opteller met JK-FF's



Omdat de schakeling is opgebouwd met 4 flipflops is de max. telcapaciteit gelijk aan  $2^4 = 16$ . Omdat alle sturingangen C1 van alle FF's met mekaar verbonden zijn hebben we hier te doen met een synchrone schakeling.

FF-A complementeerd steeds bij iedere dalende flank van het kloksignaal omdat  $JA = JB = 1$ . (zie bovenstaande timing)

FF-B kan pas complementeren indien FF-A geset staat, vermits:  $JB = KB = QA$ . (zie bovenstaande timing)

FF-C kan pas complementeren indien FF-A **en** FF-B geset staan, vermits:  $JC = KC = QA \text{ AND } QB$ . (zie bovenstaande timing)

FF-D kan pas complementeren indien FF-A **en** FF-B **en** FF-C geset staan, vermits:  $JD = KD = QA \text{ AND } QB \text{ AND } QC$ . (zie bovenstaande timing)

Het is een 16-opteller omdat de binaire waarde van de uitgang steeds met 1 wordt geïncrementeerd, en omdat er 16 klokimpulsen moeten verlopen voordat we terug in de beginstand zijn. (zie nevenstaande waarheidstabel)

FF-A is de minst significante FF, en FF-D is de meest significante FF.

De combinatorische logica van de schakeling is weergegeven in de omkadering van het bovenstaande schema. (zie ook figuur 1.1) Deze logica zorgt ervoor dat deze teller werkt als opteller. Deze combinatorische logica wordt volledig ontworpen met de Karnaughkaarten.

waarheidstabel 16-opteller				
clk	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

## Ontwerp van synchrone tellers

Bij synchrone tellers wordt het kloksignaal aangesloten op de sturingang van alle flipflops. Om tot de juiste telcyclus te komen is er combinatorische logica vereist om de flipflops die moeten veranderen bij een bepaalde telimpuls te bekrachtigen; en de flipflops die niet mogen veranderen niet te bekrachtigen.

### De ontwerpregels kunnen als volgt samengevat worden:

1. We stellen de te bekomen toestandentabel op.
2. We bepalen het 1 of 0 niveau dat de J- en K ingangen van de verschillende flipflops moeten bezitten om na een telimpuls in een bepaalde vereiste toestand te komen.
3. Per J- en K ingang maken we een samenvatting m.b.v. een Karnaughkaart om de logische formule af te leiden.
4. Maximale vereenvoudiging leidt gewoonlijk tot zelfstartende werking. Dit moet echter gecontroleerd worden door het opstellen van een toestandentabel van de gevonden schakeling.
5. De ingangsvergelijkingen kunnen worden opgesteld bij middel van de exitatietabel van de flipflop die wordt gebruikt in het ontwerp.

### Ontwerp van een synchrone binaire 16-opteller met JK flipflops.

Om een 16-teller te maken zijn 4 flipflops nodig.

We stellen de exitatietabel op van de JK flipflop.

We stellen de gevraagde toestandentabel op en vullen iedere keer de nodige J- en K informatie in.

Uit onze tabel kunnen we nu voor de verschillende J- en K ingangen de vergelijkingen bepalen.

Q	Q <sub>n+1</sub>	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

#### Voor FF-A

Zowel AJ als AK zijn afwisselend 1 en x. We kunnen die twee ingangen dus altijd 1 maken. Dus:

$$AJ = AK = 1.$$

#### Voor FF-B

Hier moeten we voor iedere vergelijking een Karnaughkaart maken. Om de vergelijkingen zo eenvoudig mogelijk te houden zullen we voor bepaalde x standen de ene keer een 1 en de andere keer een 0 invullen, met andere woorden maximum vereenvoudigen toepassen.

Onderstaande algemene karnaughkaart wordt hiervoor gebruikt.

De getallen in de karnaughkaart geeft de binaire waarde van QD QC QB QA.

clk	QD	QC	QB	QA	DJ	DK	CJ	CK	BJ	BK	AJ	AK
0	0	0	0	0	X	0	X	0	X	1	X	X
1	0	0	0	1	0	X	0	X	1	X	X	1
2	0	0	1	0	0	X	0	X	X	0	1	X
3	0	0	1	1	0	X	1	X	X	1	X	1
4	0	1	0	0	0	X	X	0	0	X	1	X
5	0	1	0	1	0	X	X	0	1	X	X	1
6	0	1	1	0	0	X	X	0	X	0	1	X
7	0	1	1	1	1	X	X	1	X	1	X	1
8	1	0	0	0	X	0	0	X	0	X	1	X
9	1	0	0	1	X	0	0	X	1	X	X	1
A	1	0	1	0	X	0	0	X	X	0	1	X
B	1	0	1	1	X	0	1	X	X	1	X	1
C	1	1	0	0	X	0	X	0	0	X	1	X
D	1	1	0	1	X	0	X	0	1	X	X	1
E	1	1	1	0	X	0	X	0	X	0	1	X
F	1	1	1	1	X	1	X	1	X	1	X	1

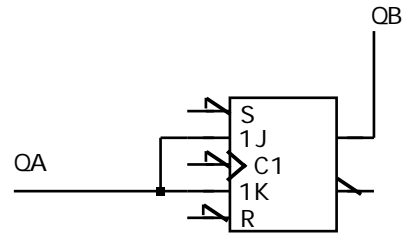
	QC QD			
QA QB	00	01	11	10
00	0	8	C	4
01	2	A	E	6
11	3	B	F	7
10	1	9	D	5

BJ	QC	QD	QA	QB	00	01	11	10
00	0	0	0	0	0	0	0	0
01	x	x	x	x	x	x	x	x
11	x	x	x	x	x	x	x	x
10	1	1	1	1	1	1	1	1

BJ = QA

BK	QC	QD	QA	QB	00	01	11	10
00	x	x	x	x	x	x	x	x
01	0	0	0	0	0	0	0	0
11	1	1	1	1	1	1	1	1
10	x	x	x	x	x	x	x	x

BK = QA



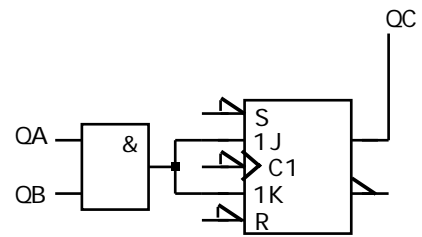
### Voor FF-C

CJ	QC	QD	QA	QB	00	01	11	10
00	0	0	x	x	x	x	x	x
01	0	0	x	x	x	x	x	x
11	1	1	x	x	x	x	x	x
10	0	0	x	x	x	x	x	x

CJ = QA AND QB

CK	QC	QD	QA	QB	00	01	11	10
00	x	x	0	0	0	0	0	0
01	x	x	0	0	0	0	0	0
11	x	x	1	1	1	1	1	1
10	x	x	0	0	0	0	0	0

CK = QA AND QB



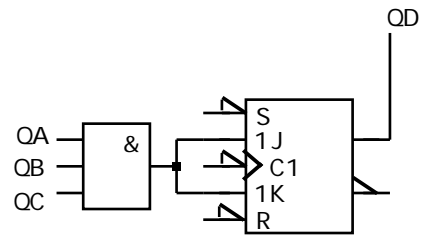
### Voor FF-D

DJ	QC	QD	QA	QB	00	01	11	10
00	0	X	X	0	0	0	0	0
01	0	X	X	0	0	0	0	0
11	0	X	X	1	1	1	1	1
10	0	X	X	0	0	0	0	0

DJ = QA AND QB AND QC

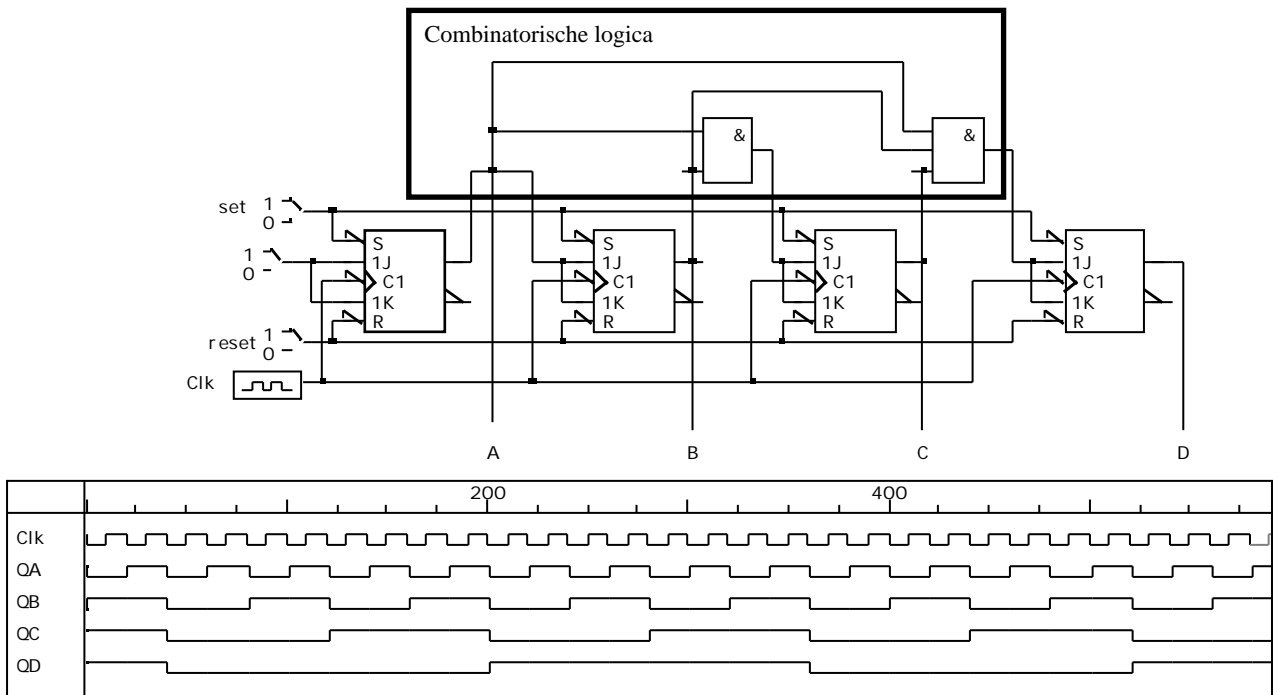
DK	QC	QD	QA	QB	00	01	11	10
00	X	0	0	X	0	0	0	0
01	X	0	0	X	0	0	0	0
11	X	0	1	X	1	1	1	1
10	X	0	0	X	0	0	0	0

DK = QA AND QB AND QC



### De volledige schakeling.

Met behulp van de afzonderlijke schema's kunnen we het totale schema samenstellen (zie onderstaande figuur en timingdiagram).



## Ontwerp van een synchrone 8-op-afteller met JK-flipflops

Voor een reversible teller gebruiken we een mode-sigitaal dat het op- of aftellen bepaalt. We wensen in onze schakeling het optellen voor  $M = 1$  en het aftellen voor  $M = 0$ .

synchrone 8-op-afteller met JK-flipflops													
M	clk	QC	QB	QA	QCT	QBT	QAT	CJ	CK	BJ	BK	AJ	AK
1	0	0	0	0	0	0	1	0	X	0	x	1	x
1	1	0	0	1	0	1	0	0	X	1	x	x	1
1	2	0	1	0	0	1	1	0	X	x	0	1	x
1	3	0	1	1	1	0	0	1	x	x	1	x	1
1	4	1	0	0	1	0	1	x	0	0	x	1	x
1	5	1	0	1	1	1	0	x	0	1	x	x	1
1	6	1	1	0	1	1	1	x	0	x	0	1	x
1	7	1	1	1	0	0	0	x	1	x	1	x	1
0	7	0	0	0	1	1	1	1	x	1	x	1	x
0	6	1	1	1	1	1	0	x	0	x	0	x	1
0	5	1	1	0	1	0	1	x	0	x	1	1	x
0	4	1	0	1	1	0	0	x	0	0	x	x	1
0	3	1	0	0	0	1	1	x	1	1	x	1	x
0	2	0	1	1	0	1	0	0	x	x	0	x	1
0	1	0	1	0	0	0	1	0	x	x	1	1	x
0	0	0	0	1	0	0	0	0	x	0	x	x	1

QC QB QA is de toestand van de teller voor het kloksigitaal.

QCT QBT QAT is de toestand van de teller na het kloksigitaal.

Om de vergelijkingen te zoeken voor de combinatorische logica, hebben we vier ingangen nl. QA, QB, QC en modeingang M.

### Voor FF-A

Uit de tabel van hiernaast kunnen we afleiden dat de J- en de K ingang continu 1 mogen zijn. Dus  $AJ = AK = 1$ .

### Voor FF-B

### Voor FF-C

BJ	QC	M
QA	QB	00 01 11 10
00	1	0 0 1
01	x	x x x
11	x	x x x
10	0	1 1 0

BK	QC	M
QA	QB	00 01 11 10
00	x	x x x x
01	1	0 0 1
11	0	1 1 0
10	x	x x x

CJ	QC	M
QA	QB	00 01 11 10
00	1	0 x x
01	0	0 x x
11	0	1 x x
10	0	0 x x

CK	QC	M
QA	QB	00 01 11 10
00	x	x 0 1
01	x	x 0 0
11	x	x 1 0
10	x	x 0 0

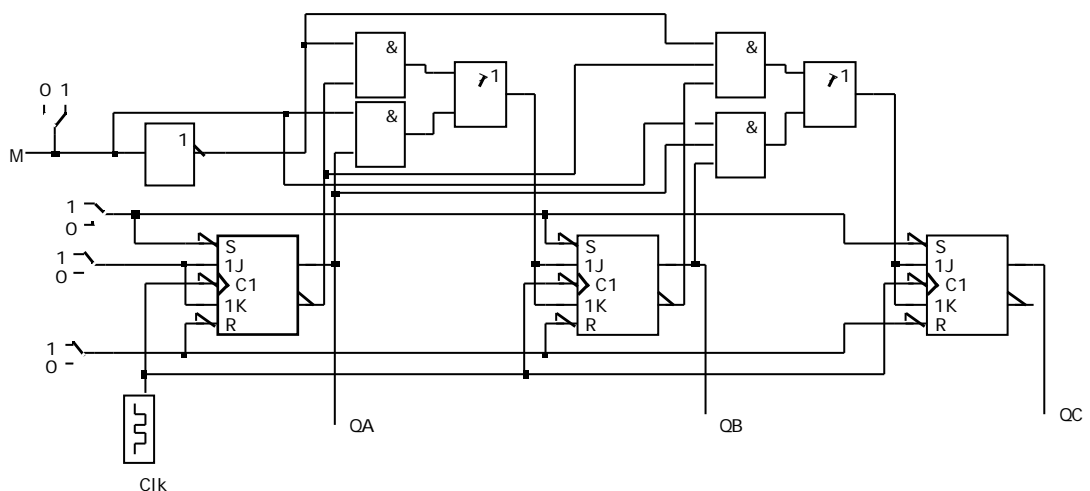
$$BJ = (QA \text{ AND } M) \text{ OR } (\text{NOT } QA \text{ AND } \text{NOT } M)$$

$$BK = (QA \text{ AND } M) \text{ OR } (\text{NOT } QA \text{ AND } \text{NOT } M)$$

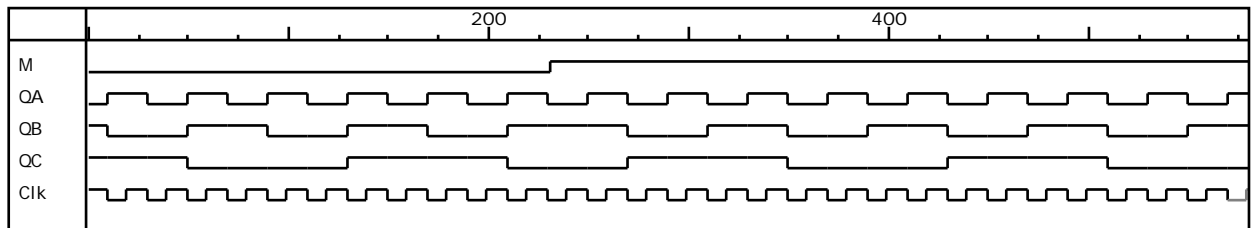
$$CJ = (QA, QB, M) \text{ OR } (\text{NOT } QA, \text{NOT } B, \text{NOT } M)$$

$$CK = (QA, QB, M) \text{ OR } (\text{NOT } QA, \text{NOT } B, \text{NOT } M)$$

## De schakeling van een synchrone 8-op-afteller met JK-flipflops



## Het timingdiagram van een synchrone 8-op-teller met JK-flipflops



### Oefening 7.1

Ontwerp een synchrone 10-opteller in de 8-4-2-1-code.  
Gebruik JK-flipflops.

### Oefening 7.2

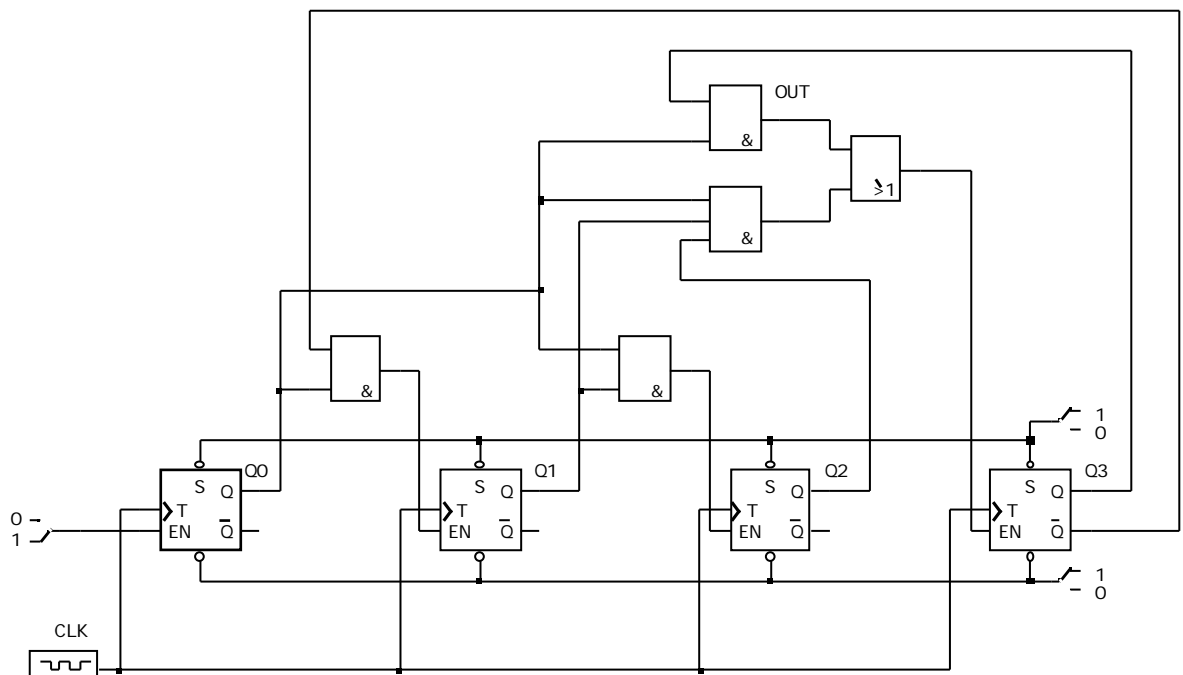
Ontwerp een synchrone 16-opteller in de 8-4-2-1-code.  
Gebruik D-flipflops.

### Oefening 7.3

Ontwerp een synchrone 10-opteller in de 8-4-2-1-code.  
Gebruik D-flipflops.

### Oefening 7.4

1. Verklaar de werking van onderstaande sequentiële schakeling.
2. Geef een toestandsdiagram.
3. Geef een waarheidstabel met "huidige toestand naar volgende toestand".
4. Geef de karnaugh maps voor de vier flip-flops.
5. Geef tevens een timingdiagram.



### oefening 8.1

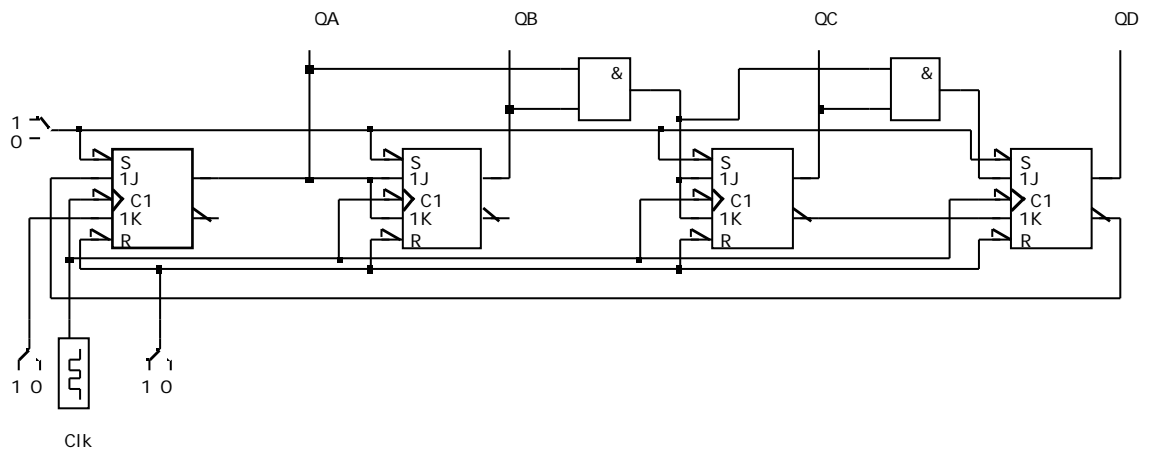
Ontwerp een synchrone 4-deler met D flipflops

### oefening 8.2

Ontwerp een synchrone 3-deler met D flipflops

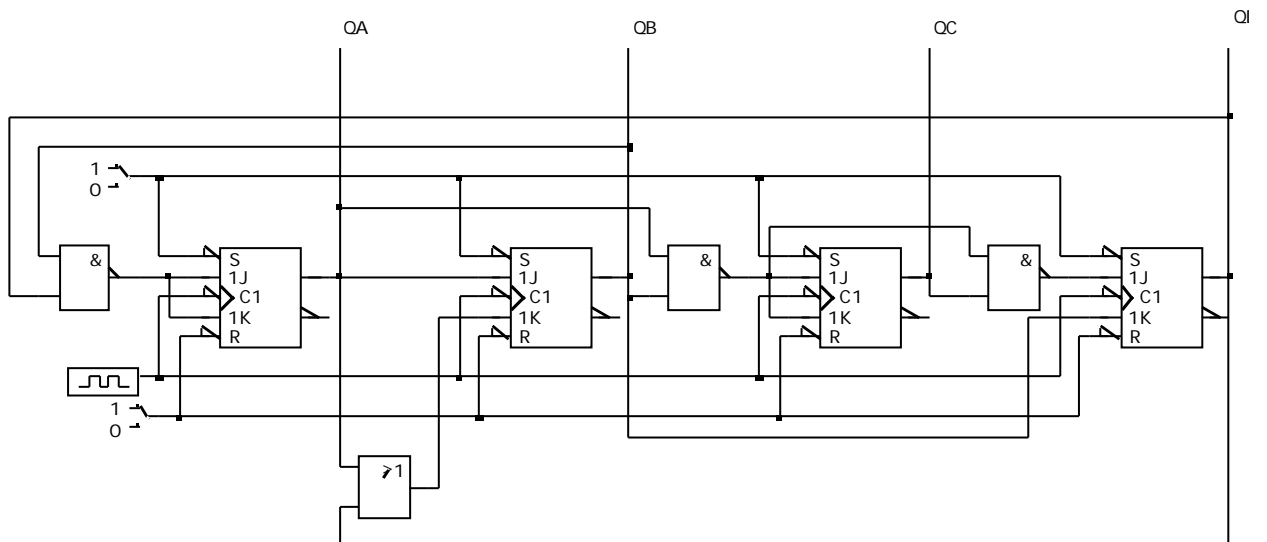
### oefening 8.3

Zoek de toestandentabel op van de teller die weergegeven is in onderstaande figuur. Voor de teller mag je beginnen vanaf toestand 0000.



### oefening 8.4

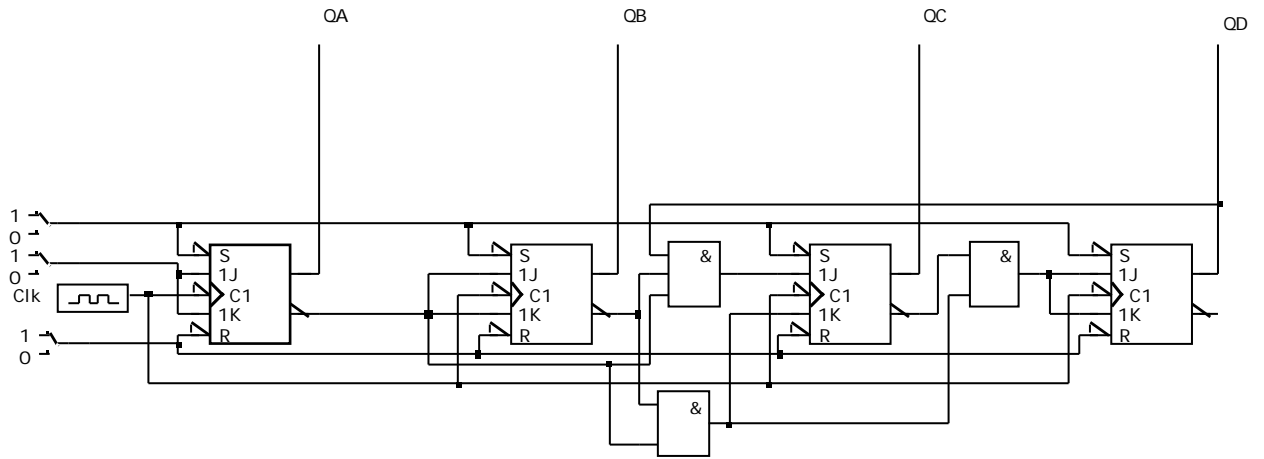
Zoek de toestandentabel op van de teller die weergegeven is in onderstaande figuur. Voor de teller mag je beginnen vanaf toestand 0000.



---

### oefening 9.1

Zoek de toestandentabel op van de teller die weergegeven is in onderstaande figuur.  
Voor de teller mag je beginnen vanaf toestand 0000.



## Ontwerp van een synchrone decade teller

SYNCHRONE DECADE TELLER																
clk	QD	QC	QB	QA	QDT	QCT	QBT	QAT	DJ	DK	CJ	CK	BJ	BK	AJ	AK
0	0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
1	0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
2	0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
3	0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
4	0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
5	0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
6	0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
7	0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
8	1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
9	1	0	0	1	0	0	0	0	x	1	0	x	0	x	x	1
A	1	0	1	0	x	x	x	x	x	x	x	x	x	x	x	x
B	1	0	1	1	x	x	x	x	x	x	x	x	x	x	x	x
C	1	1	0	0	x	x	x	x	x	x	x	x	x	x	x	x
D	1	1	0	1	x	x	x	x	x	x	x	x	x	x	x	x
E	1	1	1	0	x	x	x	x	x	x	x	x	x	x	x	x
F	1	1	1	1	x	x	x	x	x	x	x	x	x	x	x	x

De decade teller is analoog aan de binaire teller alleen wanneer hij op 9 komt moeten de ingangen van de FF.'s klaar gezet worden om naar 0 te gaan.

Hieronder vind je dan de Karnaughkaarten.

BJ	QC QD			
QA QB	00	01	11	10
00	0	0	x	0
01	x	x	x	x
11	x	x	x	x
10	1	0	x	1

$$BJ = QA \text{ AND NOT } QD$$

CJ	QC QD			
QA QB	00	01	11	10
00	0	0	x	x
01	0	x	x	x
11	1	x	x	x
10	0	0	x	x

$$CJ = QA \text{ AND } QAB$$

DJ	QC QD			
QA QB	00	01	11	10
00	0	x	x	0
01	0	x	x	0
11	0	x	x	1
10	0	x	x	0

$$DJ = QA \text{ AND } QB \text{ AND } QC$$

BK	QC QD			
QA QB	00	01	11	10
00	x	x	x	x
01	0	x	x	0
11	1	x	x	1
10	x	x	x	x

$$BK = QA$$

CK	QC QD			
QA QB	00	01	11	10
00	x	x	x	0
01	x	x	x	0
11	x	x	x	1
10	x	x	x	0

$$CK = QA \text{ AND } QAB$$

DK	QC QD			
QA QB	00	01	11	10
00	x	0	x	x
01	x	x	x	x
11	x	x	x	x
10	x	1	x	x

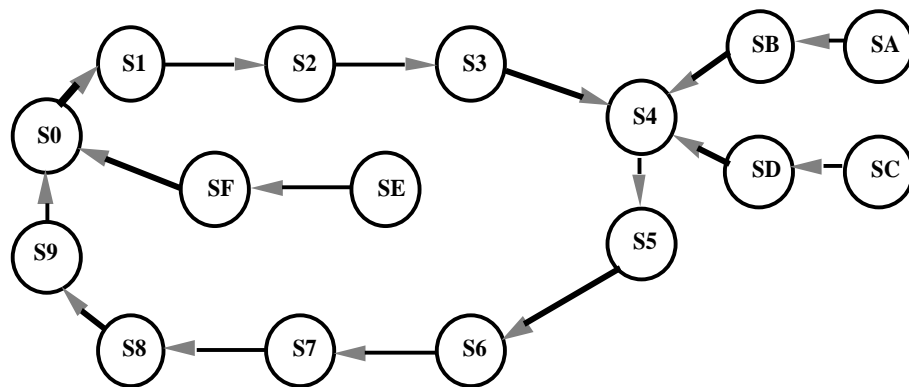
$$DK = QA$$

### Onderzoek naar niet geldige of illegale toestanden:

Er zijn 6 toestanden niet gebruikt. Wat gebeurt er indien na het stopzetten van de voedingsspanning de teller toevallig in zo een toestand terecht komt? Dan zijn er 2 mogelijkheden: ofwel blijft de teller op deze toestand staan (en telt hij niet), ofwel gaat hij naar een andere toestand. Om dit te onderzoeken vullen we de gerealiseerde J en K's voor de ongeldige toestanden in en kijken dan naar welke toestand de teller telt.

SYNCHRONE DECADE TELLER																
clk	QD	QC	QB	QA	QDT	QCT	QBT	QAT	DJ	DK	CJ	CK	BJ	BK	AJ	AK
0	0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
1	0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
2	0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
3	0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
4	0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
5	0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
6	0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
7	0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
8	1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
9	1	0	0	1	0	0	0	0	x	1	0	x	0	x	x	1
A	1	0	1	0	1	0	1	1	0	0	0	0	0	0	1	1
B	1	0	1	1	0	1	0	0	0	1	1	1	0	1	1	1
C	1	1	0	0	1	1	0	1	0	0	0	0	0	0	1	1
D	1	1	0	1	0	1	0	0	0	1	0	0	0	1	1	1
E	1	1	1	0	1	1	1	1	0	0	0	0	0	0	1	1
F	1	1	1	1	0	0	0	0	1	1	1	1	0	1	1	1

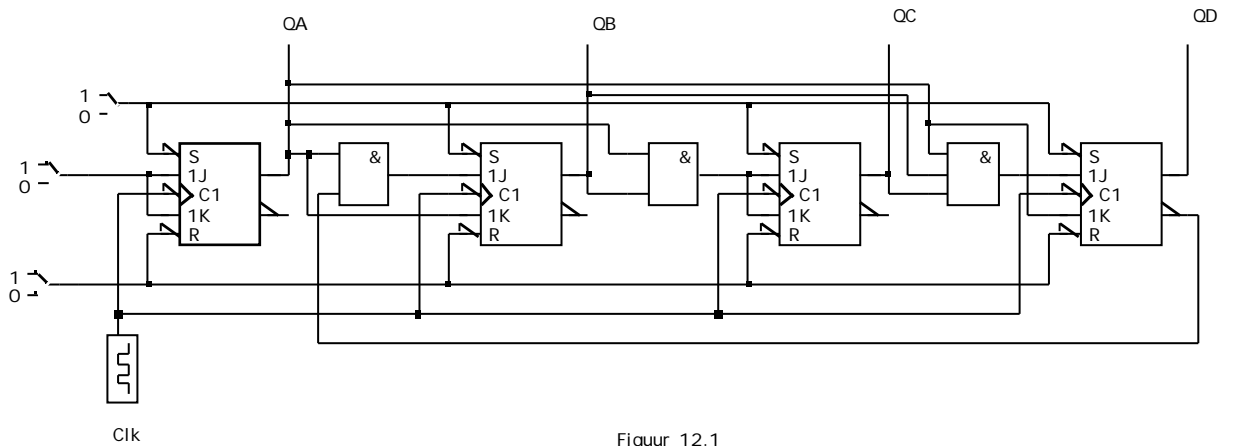
We zien dat na toestand A toestand B komt, na B 4, na C D, na D 4, na E F en na F 0.  
Dit kunnen we beter uitzetten in een toestandsdiagram. (ziefiguur 11.1)



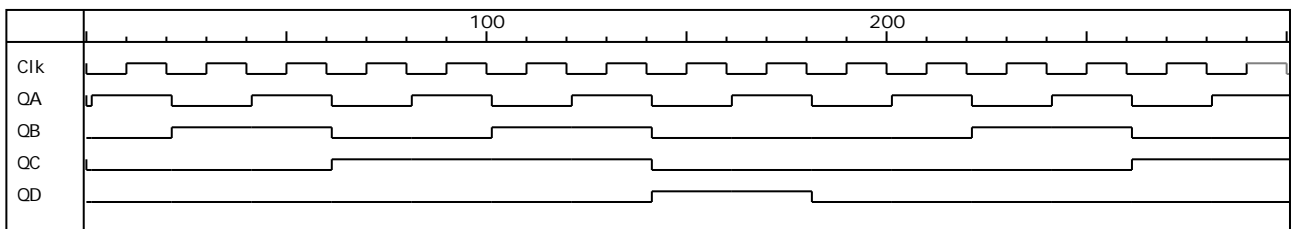
- '160 Decade 4-bit counter with asynchronous clear
- '162 Decade 4-bit counter with synchronous clear
- '192 Decade 4-bit up/down counter

Figuur 11.1

## Schakeling van de synchrone decade teller



## Timing van de synchrone decade teller



## Omkeerbare synchrone tellers

Omkeerbare synchrone tellers, reversible tellers of up/down counters werken praktisch altijd volgens het principe met gepoorte JK-ingangen.

De tellers werken op comando van een modesignaal (M) in de optel- of aftelmode. In de omkeerbare tellers bestaan zowel binaire tellers als modulo telles (decade tellers).

### De 74191

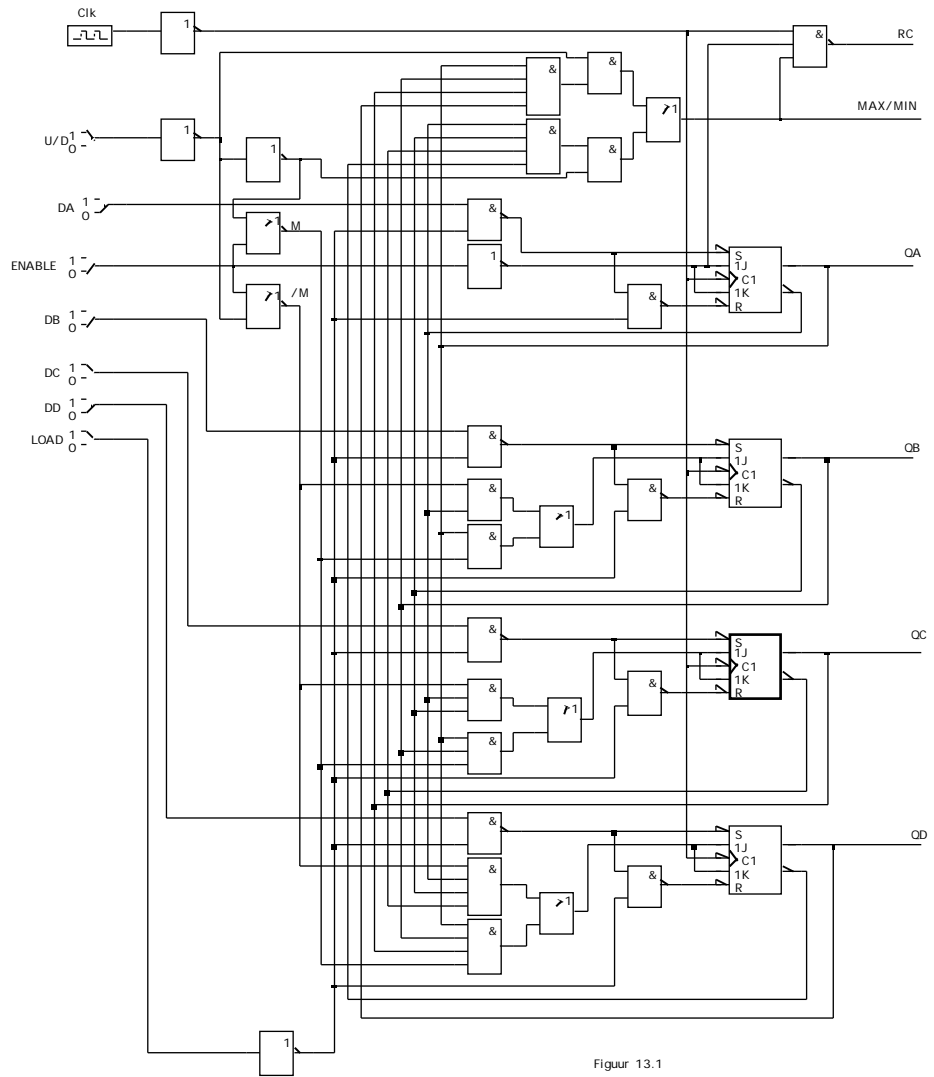
De 74191 is een synchrone 4-bits-binaire op-/afteller die uitgevoerd is volgens het principe met gepoorte J- en K ingangen. De schakeling is uitgevoerd met JK flipflops. Naast de op- en aftelbewerking kan de 74191 geprogrammeerd of voorgeladen worden, kan de telling geschorst of geblokkeerd worden en bezit hij uiteraard de nodige uitgangen voor cascadeschakeling. Hieronder bespreken we afzonderlijk de verschillende mogelijkheden.

In figuur 13.1 vind je het globale schema van de 74191 getekend volgens de IEC normen.

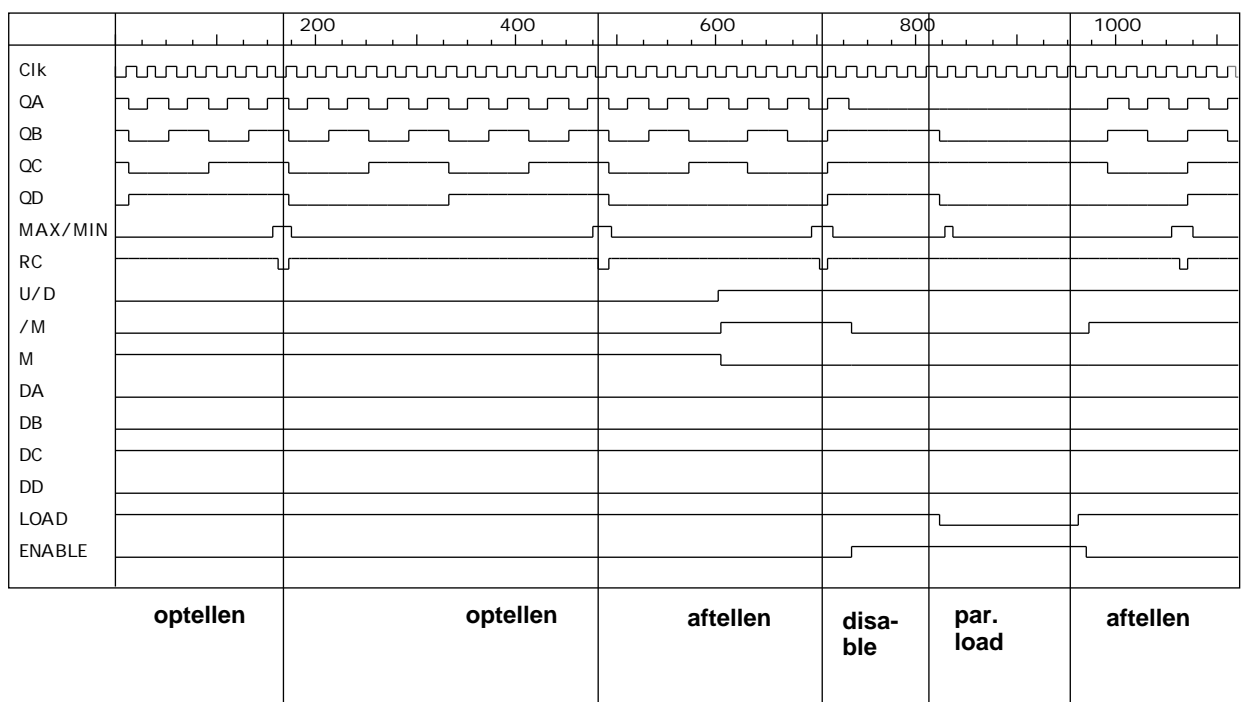
### De op- en aftelbewerking:

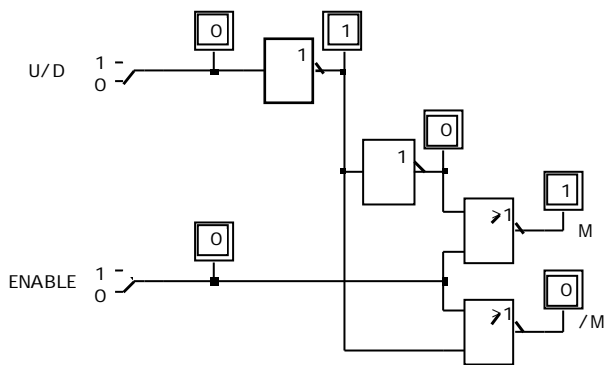
De op- en aftelbewerking wordt geregeld met de UP-/DOWN ingang. Met  $U/D = 0$  wordt de optelmode en met  $U/D = 1$  wordt de aftelmode ingeschakeld. In beide gevallen moet echter de Enable-ingang (E) = 0 zijn, en de Load-ingang (L) = 1 zijn. Dat de L-ingang 1 moet zijn volgt eenvoudig uit het schema als we zien dat de L-ingang aan alle Nand poorten van de prioriteitsingangen verbonden is. De logische 0 van L zet immers alle nand poorten dicht zodat op die ingangen geen invloed kan uitgevoerd worden. De op- en aftelsturing volgen we verder aan de hand van figuur 14.1 en figuur 14.2.

### '191 Presettable 4-Bit Binary Up/Down Counter

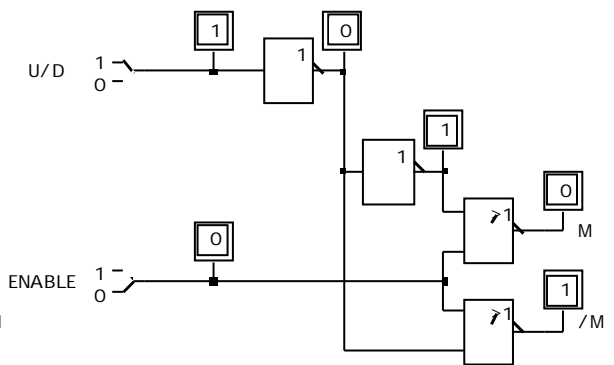


Figuur 13.1





OPTELMODE  
Figuur 14.1



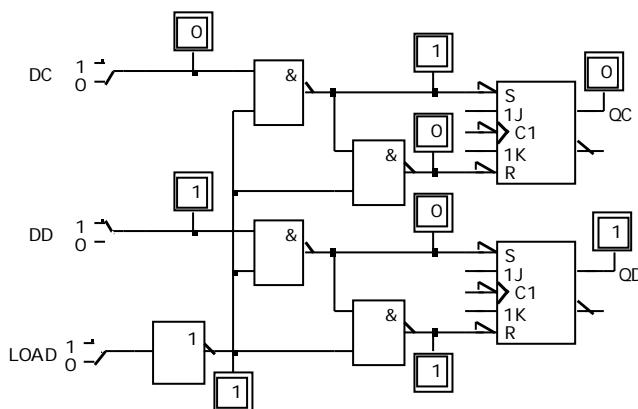
AFTELMODE  
Figuur 14.2

Met M- of  $\bar{M}$  signaal wordt nu één van de twee En-poorten aan de J- Kingangen dicht gezet en de andere open gezet.

Uit het timingdiagram kan je afleiden dat de schakeling werkt als binaire afteller.

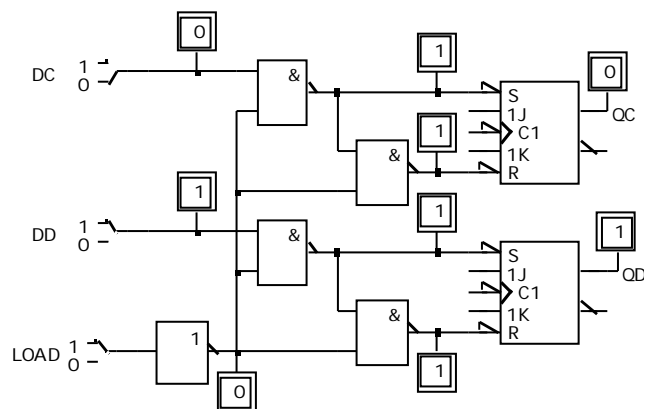
### Programmeren of voorladen van de teller:

Met behulp van een laadimpuls (L) kan de gewenste data in de flipflop opgeslagen worden via de prioriteitsingangen S en R. De toestanden die aangegeven zijn in figuur 14.3 en 14.4 geven de verschillende mogelijkheden.



LADEN

FIGUUR 14.3



NIET LADEN

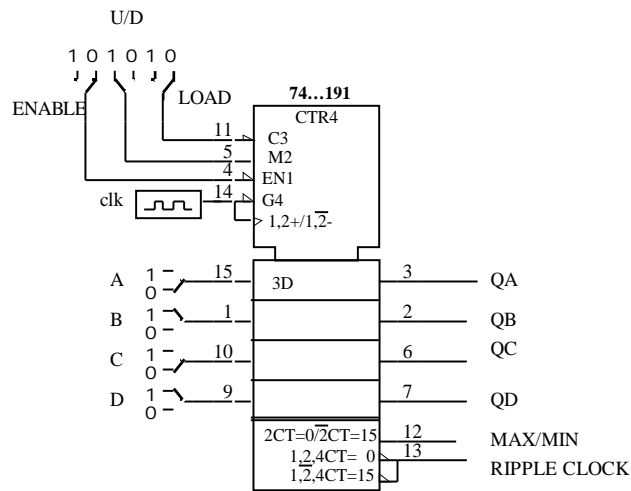
FIGUUR 14.4

Het in- of uit werking stellen van de teller.

Het in- of uit werking stellen van de teller wordt bevolen met de Enable-ingang (E). Met  $E = 0$  wordt de teller in werking gesteld en met  $E = 1$  wordt de teller geblokkeerd; hij behoudt dan de toestand die hij op dit moment heeft. Als we  $E = 1$  maken worden alle J- en K ingangen op 0 gezet, hierdoor kan uiteraard geen enkele flipflop nog veranderen van toestand.

Dit kan eenvoudig nagegaan worden aan de hand van het globaal schema van figuur 13.1. Voor de FF-A gebeurt dit via de niet-poort, en voor de flipflop B, C en D via de EN-OF-poorten met het M en  $\bar{M}$  signaal.

## Het IEC symbool van de 74191



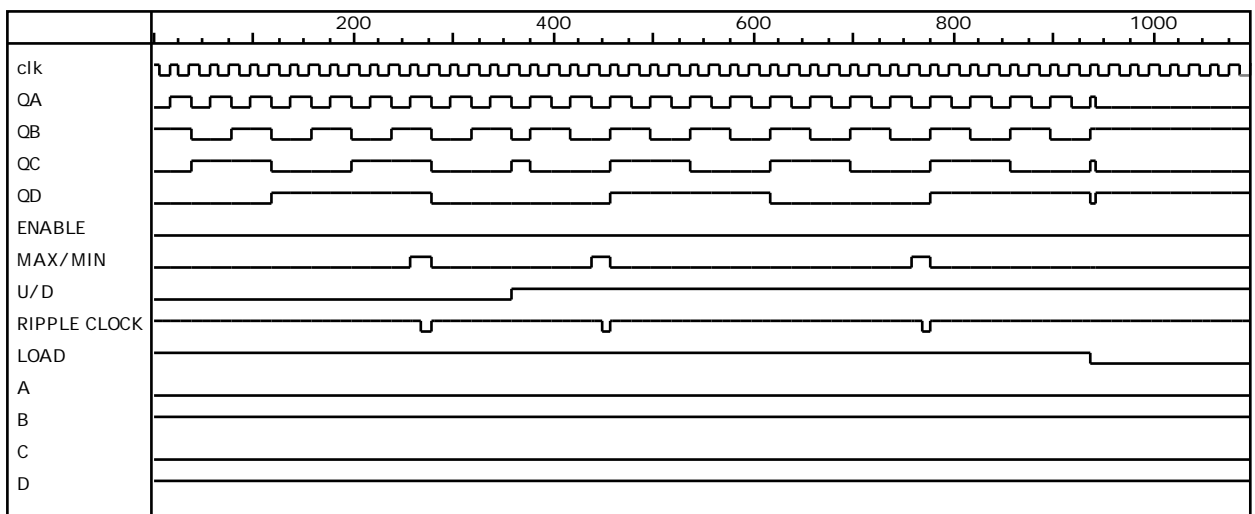
Figuur 15.1

In figuur 15.1 is een testschakeling weergegeven en het IEC symbool van de 74191 getekend. Het dynamische teken aan de klokingang leert ons dat de teller flankgestuurd is en dat het een op-/afteller is.

Om te tellen moet aan twee voorwaarden voldaan zijn: Pen 11 (Load C3) moet 1 zijn en enable (EN1) pen 4 moet 0 zijn. Als aan die voorwaarde voldaan is zal de teller op- of aftellen bij iedere opgaande flank. Het op- of aftellen wordt bepaald door de mode-ingang (pen5 M2). Als de M-ingang "1" is wordt afgeteld en als M gelijk is aan "0" wordt opgeteld. Met de load-ingang (pen11 c3) kan de teller parallel geladen worden.

Als die ingang "0" wordt zal de informatie die aan de D-ingangen staat opgenomen worden in de teller. Iedere keer dat de inhoud van de teller 15 of 0 is, wordt pen 12 gelijk aan "1" (de max./min. uitgang). Is de inhoud van de teller 15 of 0 EN de klokingang 0 dan wordt pen 13 gelijk aan "0" (de ripple klok uitgang).

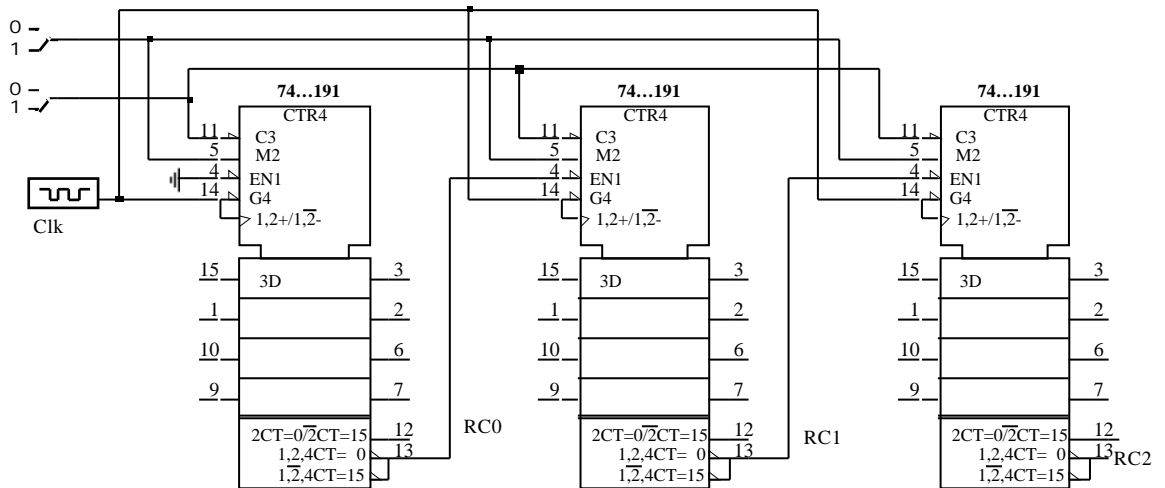
(zie ook onderstaand timingdiagram)



## Cascade schakeling van de 74191

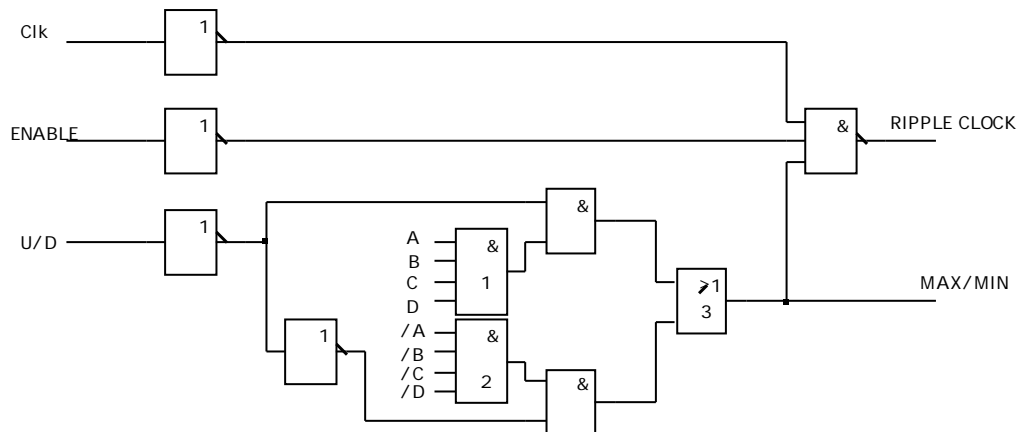
Het cascade schakelen van een aantal IC.'s om de telcapaciteit te verhogen kan uitgevoerd worden met behulp van de ripple - clock - uitgang of met de max-/min uitgang. Daarbij kan de koppeling synchroon of asynchroon zijn. Er zijn drie verschillende schakelingen mogelijk.

De cascadeschakeling volgens figuur 16.1 is een synchrone cascadeschakeling met de ripple-clock-uitgang.



Figuur 16.1

Hierbij volstaat het iedere ripple-clock-uitgang te verbinden met de enable-ingang van de volgende teller. Uiteraard worden alle U/D - clock- en load-ingangen aan elkaar verbonden. De werking van de schakeling kunnen we volgen aan de hand van figuur 16.2.



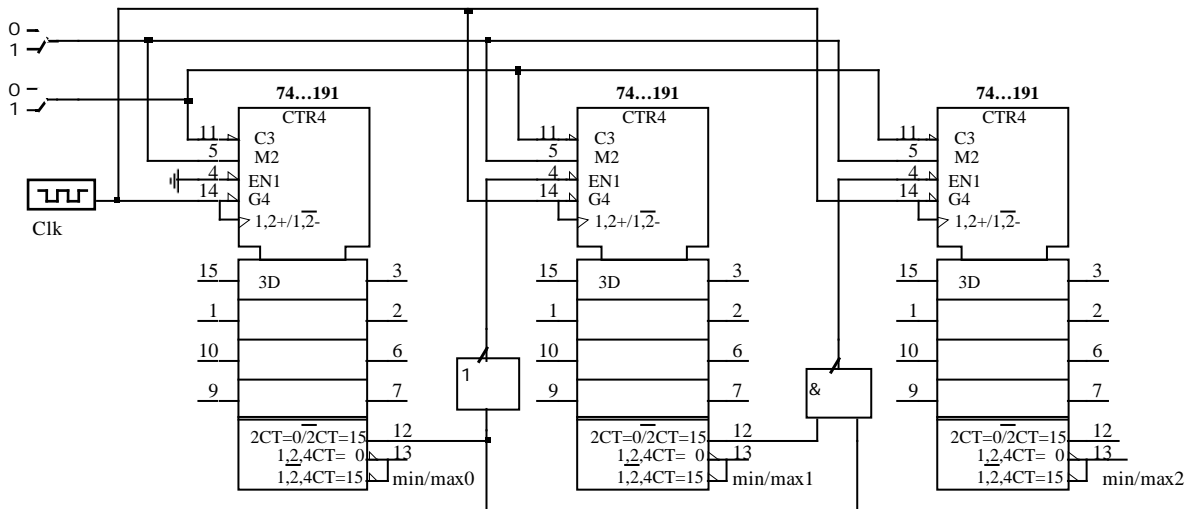
Figuur 16.2 Signaaloverdracht bij de synchrone cascadeschakeling.

Voor de optelbewerking kunnen we volgende redenering opbouwen. Bij de tellerstand  $Q_3Q_2Q_1Q_0 = 15$  worden alle ingangen van poort 1 op "1" gebracht zodat de uitgang ook "1" wordt. Via de OF-poort wordt de onderste ingang van de nand ook op "1" gebracht. De middelste ingang van de nand is reeds "1" door het Enable signaal (van de sturende teller), en de bovenste ingang is "1" door het kloksignaal. De uitgang staat dus op "0".

Als nu de eerstvolgende impuls optreedt (telimpuls 16) wordt de bovenste ingang "0" zodat de RC-uitgang naar "1" gaat. Hierdoor gaat de gestuurde teller van de enable naar de disable toestand d.w.z. hij zal die eerstvolgende impuls tellen.

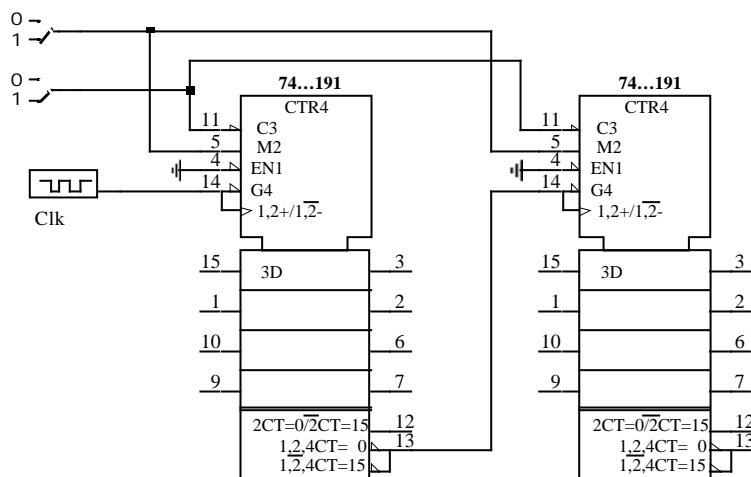
Voor alle andere standen van de sturende teller staat de RC-uitgang op 1 door de werking van de nand poort 1. Hierdoor staat de gestuurde teller in de disable of de uit-werking toestand. Voor de aftelmode geldt een analoge redenering, maar dan via en-poort 2.

De schakeling van figuur 17.1 is een synchrone koppeling met de max-/min. uitgang volgens het "carry-look-ahead" principe. Hiervoor volstaat het de max-/min. uitgang via een inverterpoort te verbinden met de enable-ingang van de volgende teller. De schakeling geeft de snelste werking.



Figuur 17.1

De derde mogelijkheid van cascadeschakeling is uiteraard de asynchrone koppeling tussen twee opeenvolgende tellers. Hiervoor volstaat het de RC-uitgang van de sturende teller te verbinden met de clock van de gestuurde teller. Figuur 17.2 geeft de opstelling voor twee opeenvolgende IC's.



Figuur 17.2

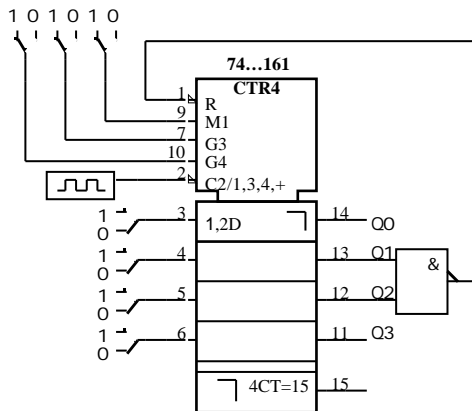
Bij de asynchrone cascadeschakeling geldt als voorwaarde dat de U/D ingang en de enable-ingang maar mag veranderen als de klok op "0" staat gezien de RC-uitgang hierdoor beïnvloed wordt.

## Synchrone n-teller

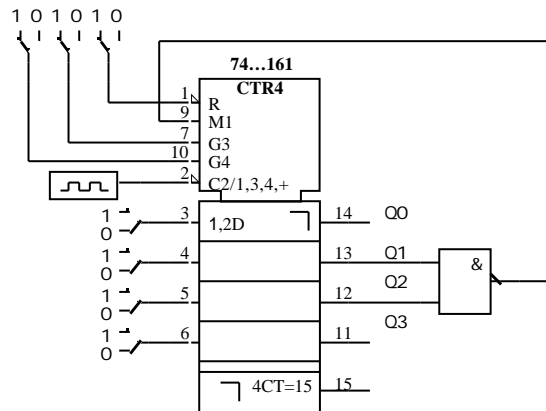
Stel dat we een 7-teller nodig hebben. Dan kunnen we deze ontwerpen zoals hiervoor beschreven. Het nadeel is echter dat dit onmiddellijk verschillende IC's oplevert. Beter is het te vertrekken vanaf een bestaande 10 of 16 teller, met synchrone reset, en deze aan te passen.

Komt een 7-teller op 6 dan is de volgende toestand een 0.

6 Kunnen we binair schrijven als  $(0110)_2$ . De 1 - en dienen aan de ingang van een AND-poort gelgd te worden om de reset klaar te zetten. In figuur 18.1 is de reset ingang geïnverteerd zodat we een NAND gebruiken.



figuur 18.1



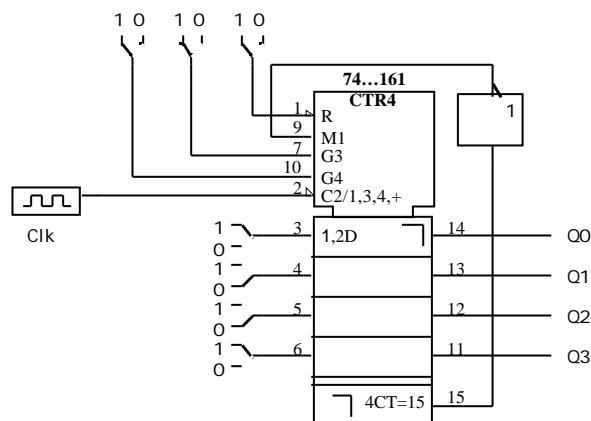
figuur 18.2

In figuur 18.2 wordt de parallele load gebruikt. Wordt de uitgang  $6_2$  dan wordt de parallele load actief en zal de volgende klokimpuls de teller laden met 0. Op deze wijze blijft de reset ingang vrij. Voor een ander deeltal dan 7 moet enkel de NAND-poort aangepast worden.

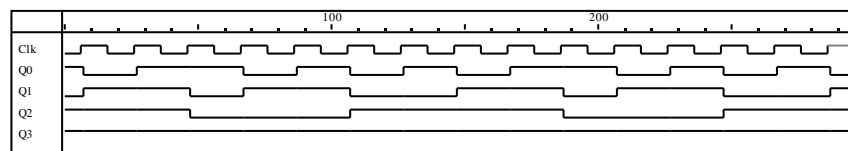
## Modulo n - teller.

Bij een modulo n-teller hebben we een extra vrijheid want de enige eis is dat de uitgangsfrequentie n maal kleiner is dan de klokfrequentie, hoe de teller telt heeft geen belang. Voor een modulo 7 teller kunnen we gebruik maken van een '161 4-Bit Binary Counter.

Wanneer  $CT = 16$  bereikt is, parallel laden met 9 ( $1001_2$ ). De teller telt dan 9, A, B, C, D, E, F, 9, ....enz Q2 is de uitgangsfrequentie. Zie schakeling van figuur 18.3 en onderstaande timingdiagram.

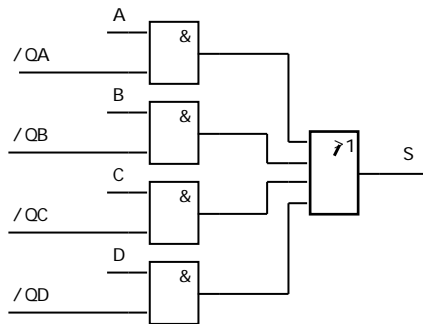


Figuur 18.3

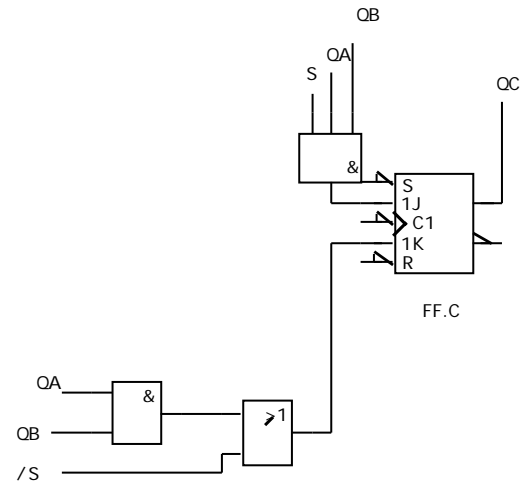


## Synchrone tellers met instelbare modulo.

We beschouwen een 4-bits instelbare teller. De gewenste modulo wordt aangesloten aan de ingangen A, B, C en D. (zie figuur 19.1). Met dieingangssignalen wordt een stuursignaal (S) opgewekt dat de J- en K ingangen stuurt. Dit stuursignaal is 1 zolang de tellerinhoud kleiner is dan de gevraagde telcapaciteit. Hiermee worden de J- en K ingangen bekrachtigd voor een gewone telling.



Figuur 19.1



Figuur 19.2

Als de teller de gevraagde telcyclus bereikt wordt het S - signaal 0. Hiermee worden dan alle J - ingangen 0 gemaakt en alle K - ingangen 1. Hierdoor zullen alle flipflops resetten bij de eerstvolgende impuls.

Voor het S - signaal wordt de formule:

$$S = QD \text{ AND } D \text{ OR } QC \text{ AND } C \text{ OR } QB \text{ AND } B \text{ OR } QA \text{ AND } A$$

Voor de J- en K sturingen nemen we:

$$JA = S$$

$$JB = QA \text{ AND } S$$

$$JC = QA \text{ AND } QB \text{ AND } S$$

$$JD = QA \text{ AND } QB \text{ AND } QC \text{ AND } S$$

$$KA = 1$$

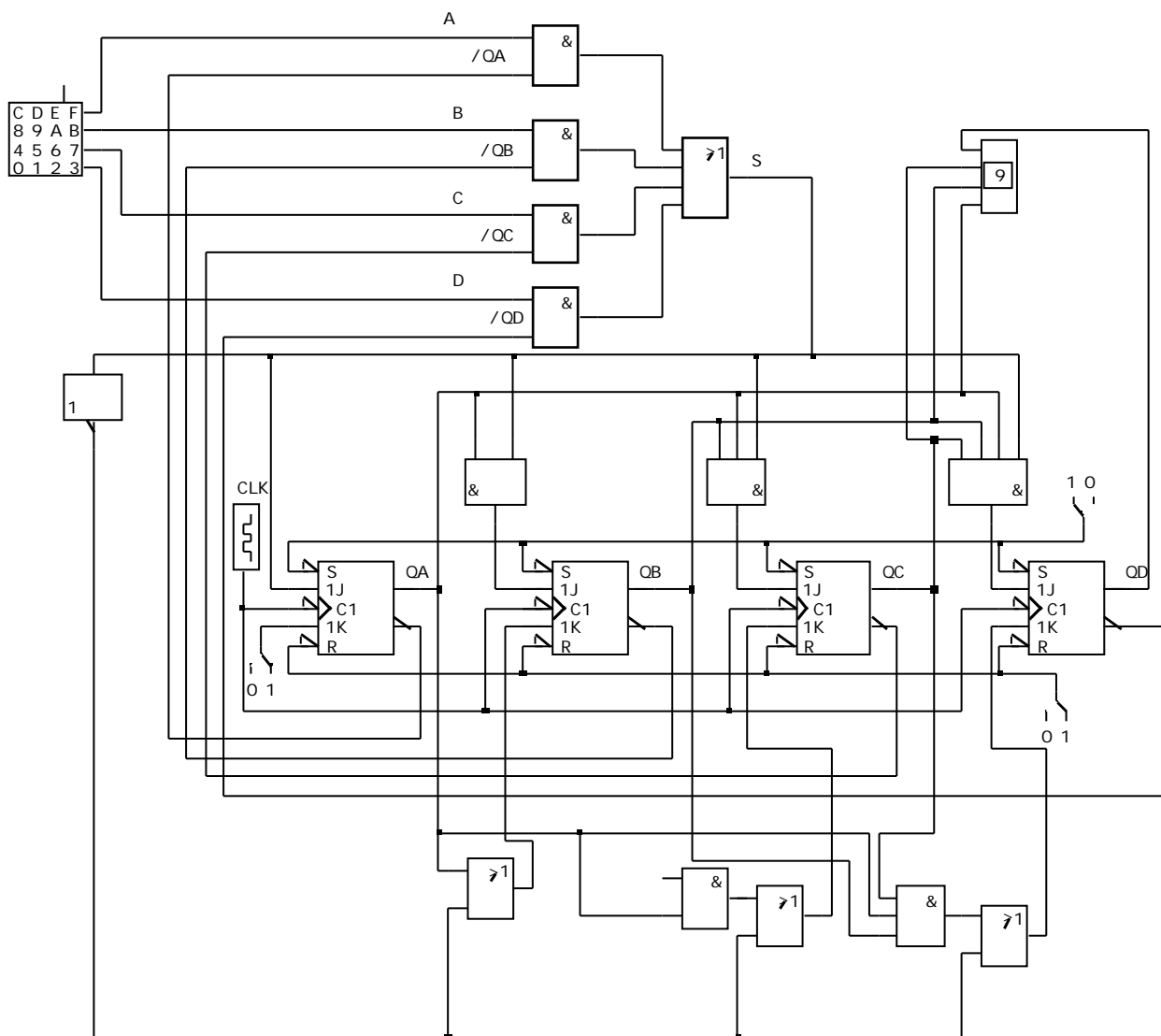
$$KB = QA \text{ OR } S$$

$$KC = QA \text{ AND } QB \text{ OR } S$$

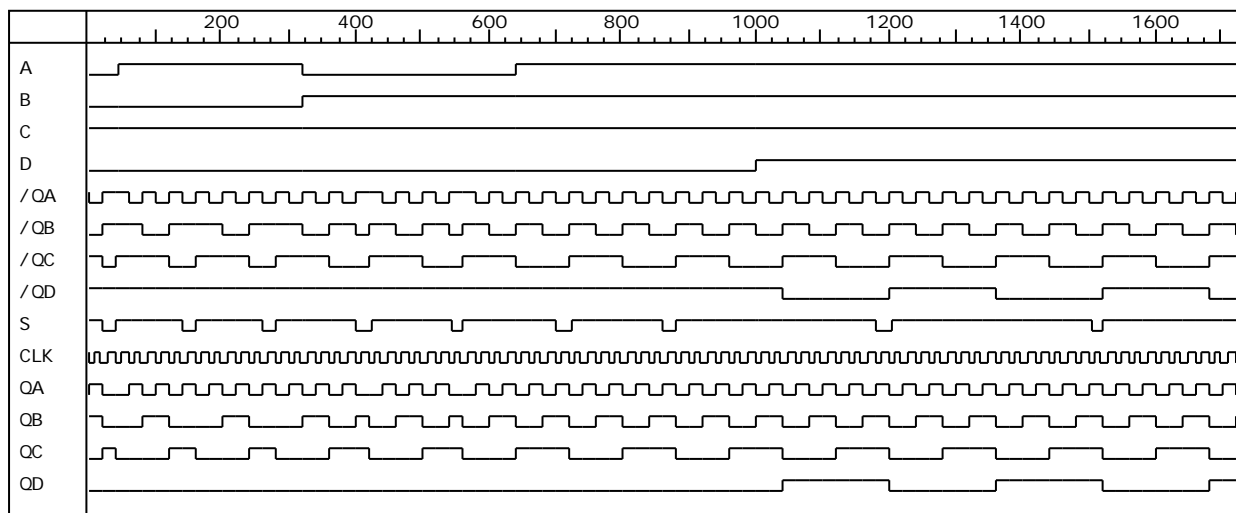
$$KD = QA \text{ AND } QB \text{ AND } QC \text{ OR } S$$

De praktische uitvoering voor de FF. C wordt voorgesteld in figuur 20.1. Veronderstel dat we een modulo 6-teller ingesteld hebben (DCBA = 0101). Zolang de teller stand 5 niet bereikt heeft is het S-sig-naal 1. Zodra de teller stand 5 bereikt, is  $S = 0$ . Hierdoor wordt het  $JC = 0$  en  $KC = 1$ . Dit maakt dat de FF. C kan resetten bij de eerstvolgende impuls. Voor de andere flipflops geldt een gelijkaardige re-denering.

### Synchrone programmeerbare deler



.Figuur 20.1

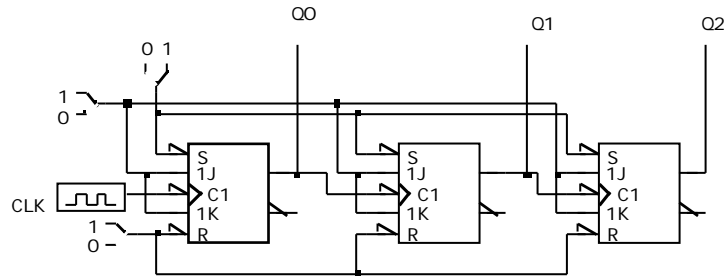


## Asynchrone tellers.

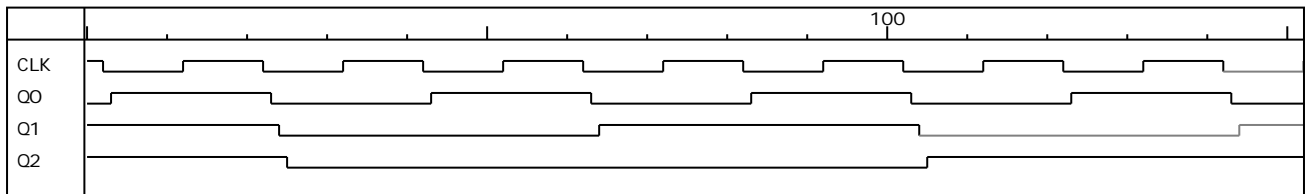
Bij asynchrone tellers geldt dat de klokingang van de volgende flipflop gestuurd wordt door de uitgang van de volgende flipflop. Hieruit volgt dat de vertragingstijd van de teller zal gelijk zijn aan de vertragingstijd van één flipflop vermenigvuldigd met het aantal flipflops.

Dus het kloksignaal trippelt van de eerste FF. tot de laatste FF..

Figuur 21.1 geeft de schakeling van een 3-bits binaire asynchrone opteller met JK FF.'s.



Figuur 21.1



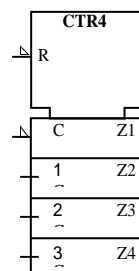
Uit het timingdiagram kunnen we besluiten dat iedere FF. een tweedeler vormt. De frequentie van zijn uitgangssignaal is altijd de helft van de frequentie van zijn ingangssignaal. Zo vormen 3 FF. na elkaar geschakeld een  $2^3 = 8$  deler. Een binaire teller is dus automatisch een deelschakeling waarvan de deler altijd een macht van 2 is.

Ieder binnenkomende impuls wordt opgeteld bij het reeds aanwezige aantal impulsen. De besproken schakeling vormt dus een binaire opteller op up-counter. De teller wordt om het zo gezegde doorgeef-effect een **BINARY RIPPLE COUNTER** genoemd.

De maximum frequentie van het ingangssignaal kan eenvoudig berekend worden. Stel dat iedere FF. een gemiddelde vertragingstijd bezit van 50 ns. De totale vertragingstijd van de schakeling is dus  $3 \times 50 \text{ ns} = 150 \text{ ns}$ , zodat de ingangsfrequentie kleiner moet zijn dan  $1/150 \text{ ns} = 606 \text{ MHz}$ .

## Voorstelling van een asynchrone teller in de IEC symboliek.

Figuur 21.2 toont het algemeen symbool van een 4-bits asynchrone binaire teller. Het feit dat de telingang getekend is bij het eerste element van de rij FF.'s, en niet aan het besturingsblok, wijst erop dat het een asynchrone teller is. Met de Z-afhankelijkheid wordt aangegeven dat het signaal zich voortplant (Ripple counter) door de vier tweedelers.



Figuur 21.2

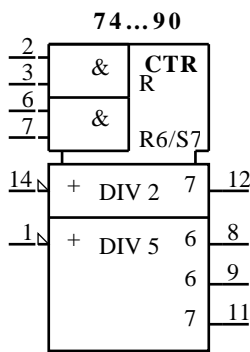
## Praktisch voorbeeld: de IC 7490

De 7490 is een asynchrone decade- opteller.

Hij bestaat uit een deler door 2 en een deler door 5.

Hij beschikt over een reset, waarbij alle uitgangen naar 0 gaan.

Hij beschikt over een preset ingang naar negen, (R6/S7) waarbij de uitgangen met een 6 naar 0 gaan en de uitgangen met een 7 naar 1 gaan. (zie figuur 22.1)



Figuur 22.1

Andere voorbeelden van asynchrone telers zijn:

'93 4-bit asynchronous binary ripple counter

'4020 14-bit asynchronous binary ripple counter

'4040 12-bit asynchronous binary ripple counter

'4060 14-bit asynchronous binary ripple counter with oscillator

### Oefening 22.1

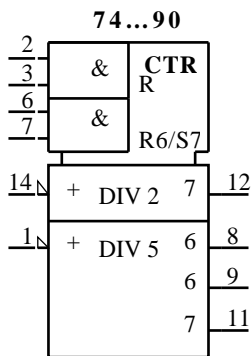
Bouw bij middel van een 7490 een deler door 10, en in welke code werkt hij.

### Oefening 22.2

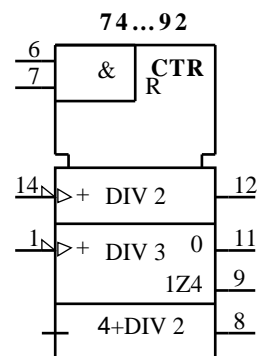
Bouw bij middel van een 7490 een decadeteller in de 5-4-2-1 code.

Maak gebruik van onderstaand IEC symbool in figuur 22.2.

Geef tevens een waarheidstabel van de teller in de 5-4-2-1 code.



Figuur 22.2



Figuur 22.3

### Oefening 22.3

Bouw bij middel van een 7492 een 12-teller in de 6-4-2-1 code.

Maak gebruik van Bovenstaand IEC symbool in figuur 22.3.

Geef tevens een waarheidstabel van de teller in de 6-4-2-1 code.

Welke mogelijke telers kan men realiseren met de 7492.

Geef dan van al die telers de waarheidstabel.

---

### De afhankelijkheidsnotatie volgens IEC

A	ADRES-afhankelijkheid
C	COMMANDO-afhankelijkheid
EN	ENABLE-afhankelijkheid
G	EN-afhankelijkheid
M	MODE-afhankelijkheid
N	NEGATIE-afhankelijkheid
R	RESET-afhankelijkheid
S	SET-afhankelijkheid
V	OF-afhankelijkheid
Z	interne verbinding

---

Synchronous, reversible counting

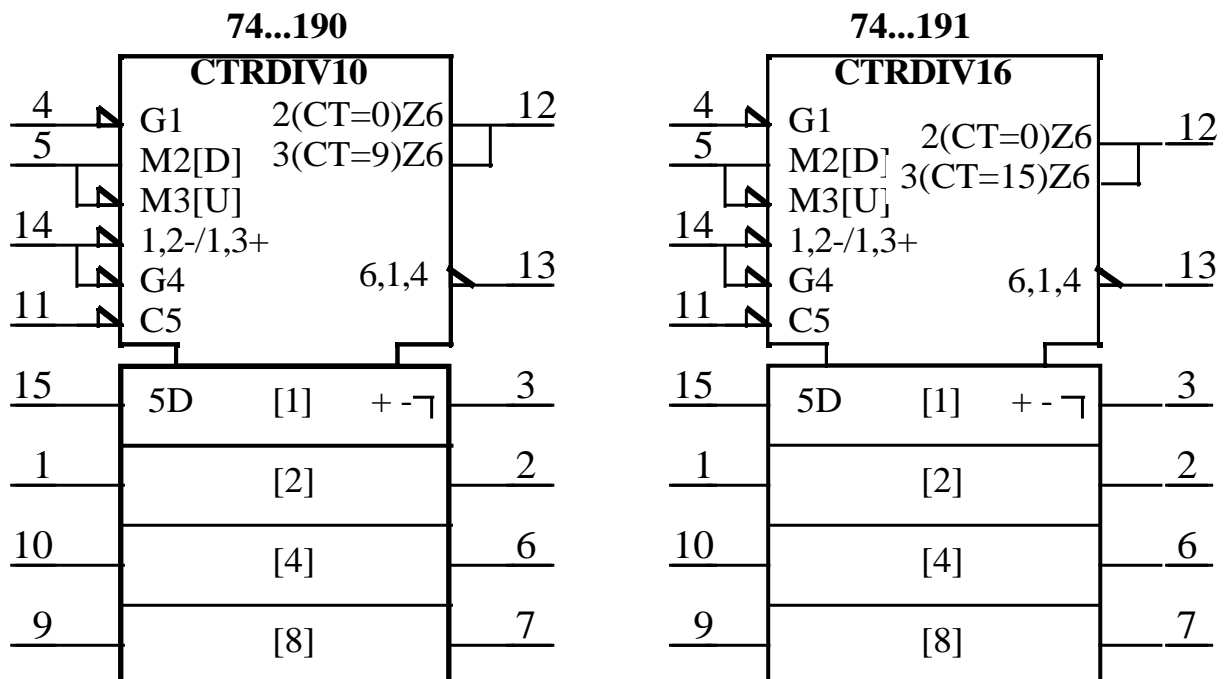
BCD/decade - '190

4-bit binary - '191

Asynchronous parallel load capability

Count enable control for synchronous expansion

Single Up/Down control input

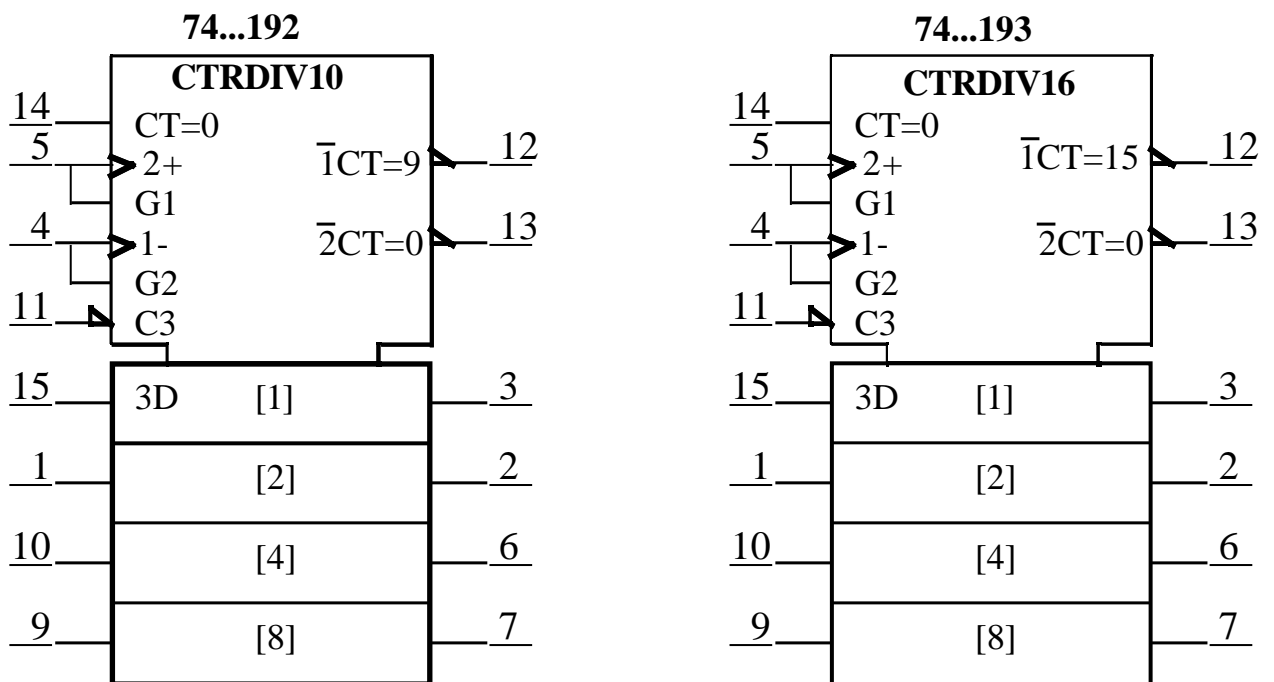


## Synchronous, reversible counting

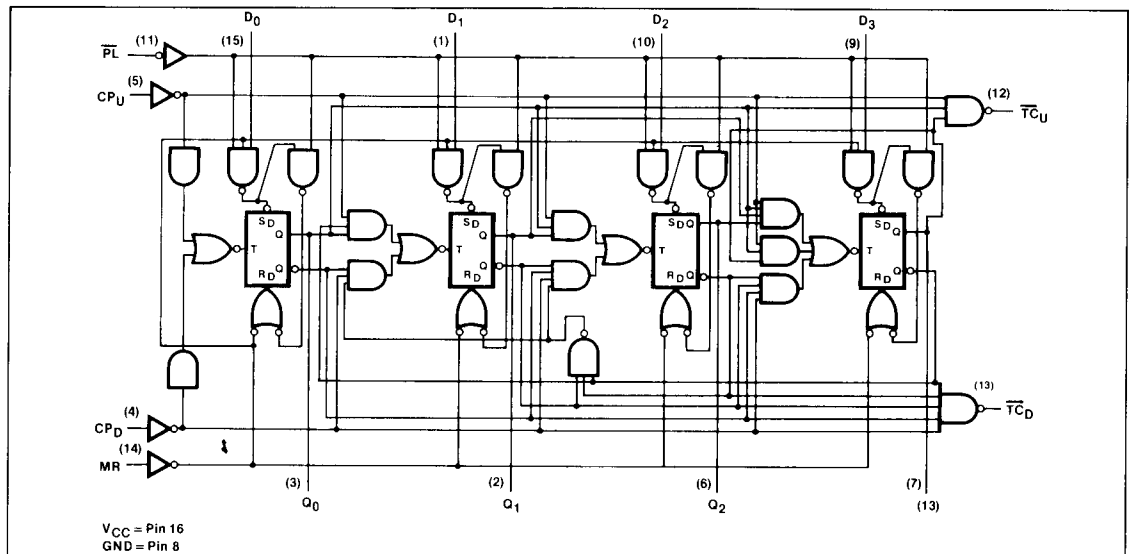
BCD/decade - '192

4-bit binary - '193

Asynchronous reset (clear)



LOGIC DIAGRAM, '192



## Synchronous counting and loading

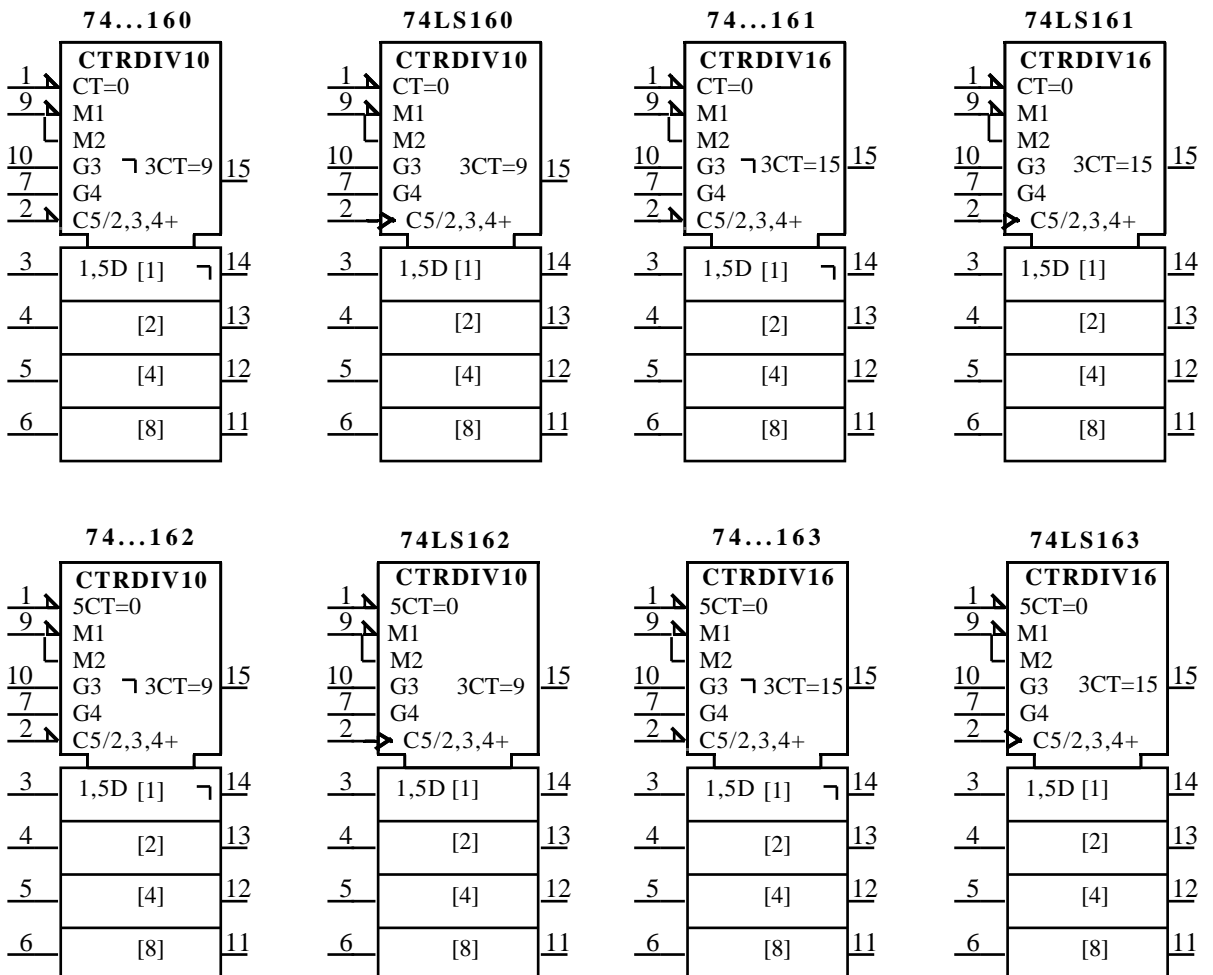
Two count enable inputs for n-bit cascading

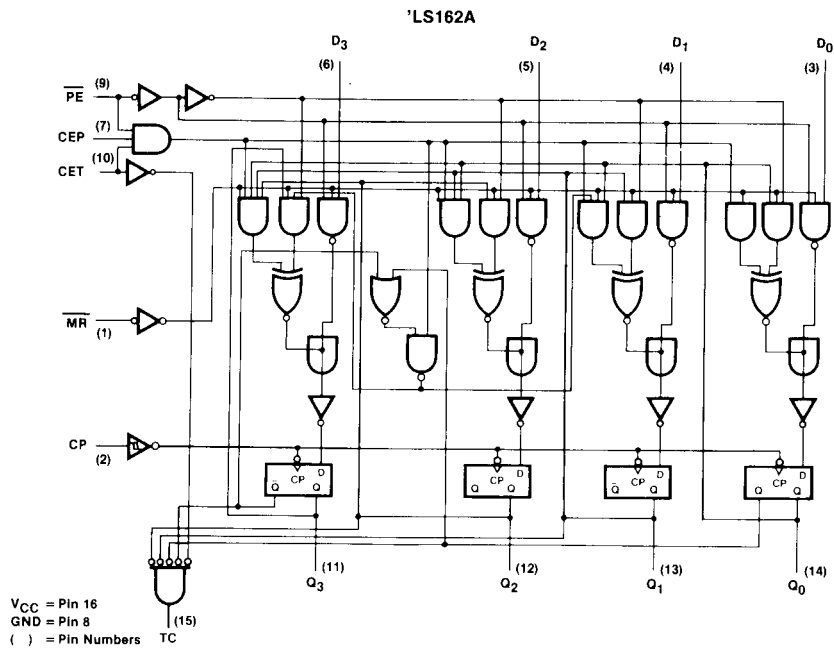
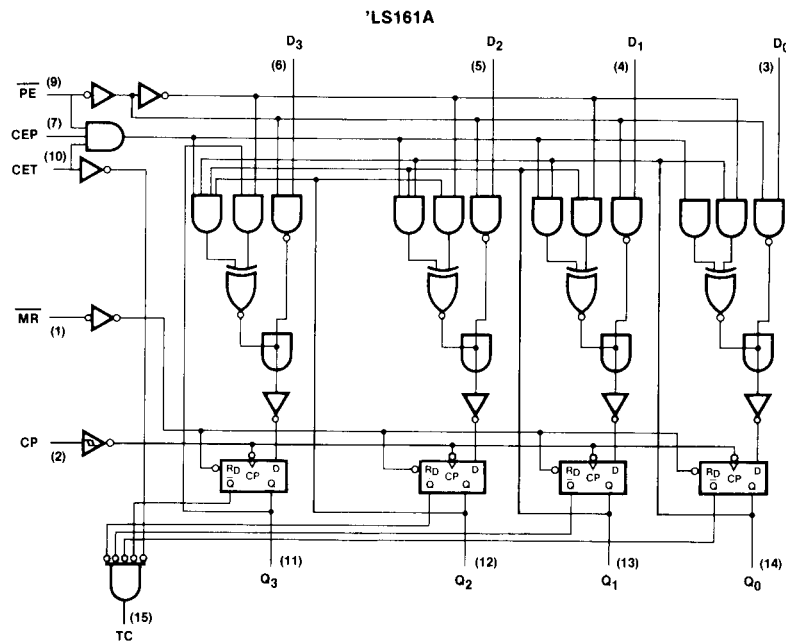
Positive edge-triggered clock

Asynchronous reset ('160 & '161)

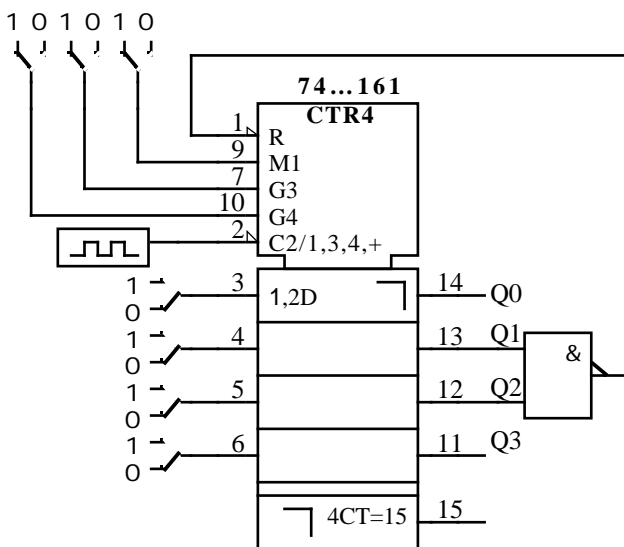
Synchronous reset ('162 '163)

Hysteresis on clock input (LS only)

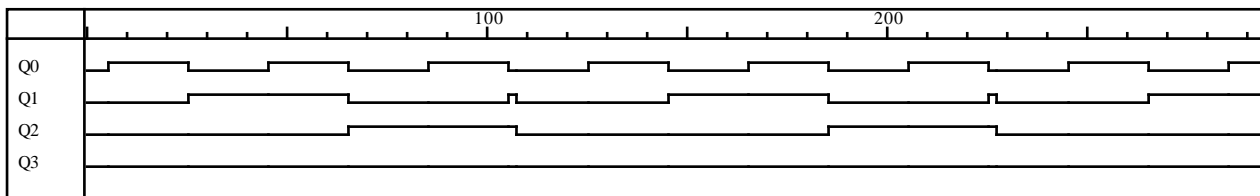




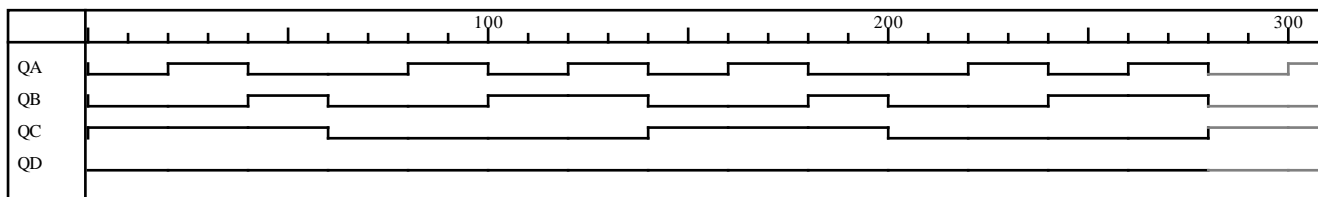
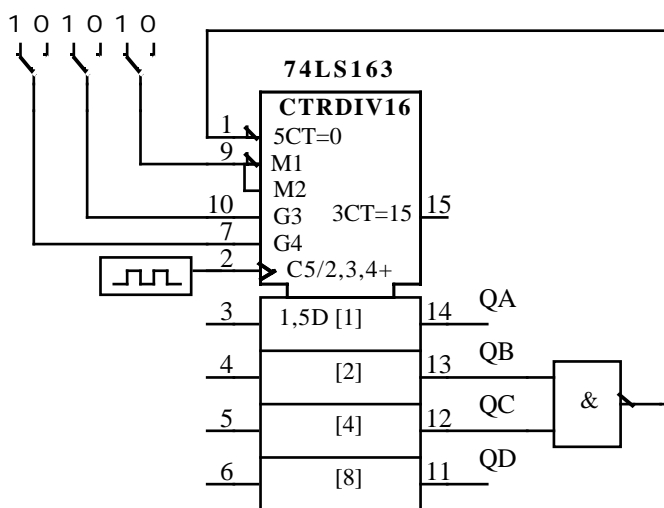
synchrone 7-teller met  
asynchrone reset



figuur 18.1



synchrone 7-teller met  
synchrone reset

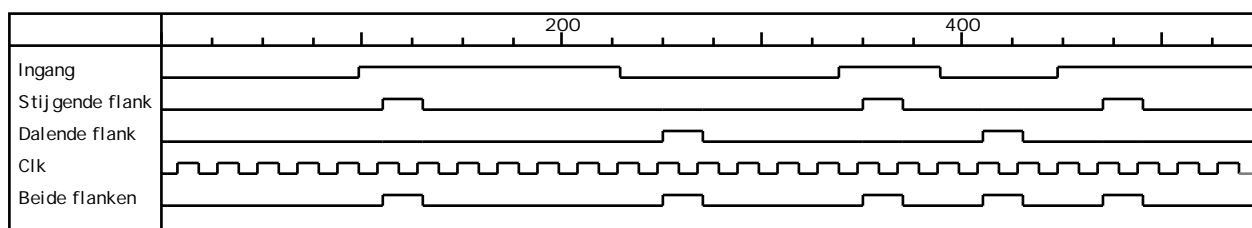
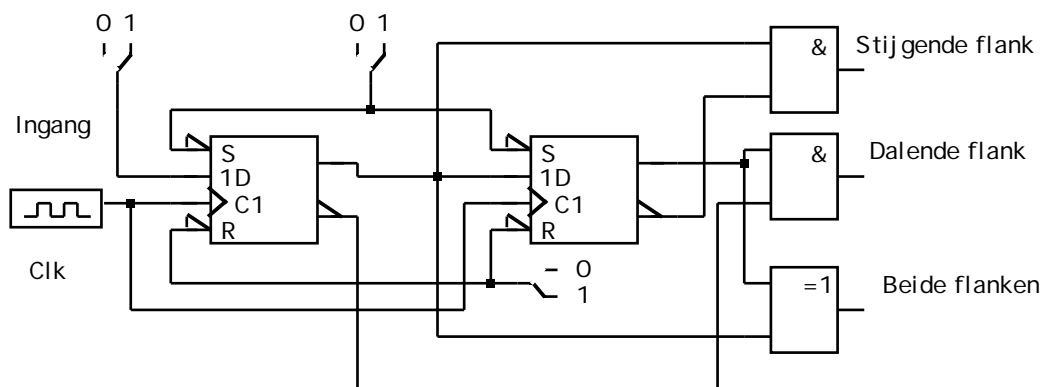


## Impulssynchronisatie

Onderstaand schema is een schema om twee asynchrone signalen met mekaar te laten synchroniseren.

De asynchrone signalen zijn in het schema weergegeven onder de naam "ingang" en "Clk".

De schakeling kan de ingang laten synchroniseren op respec. de stijgende flank van de ingang, de dalende flank van de ingang, en beide flanken van de ingang.



### Oplossing oefening 7.2

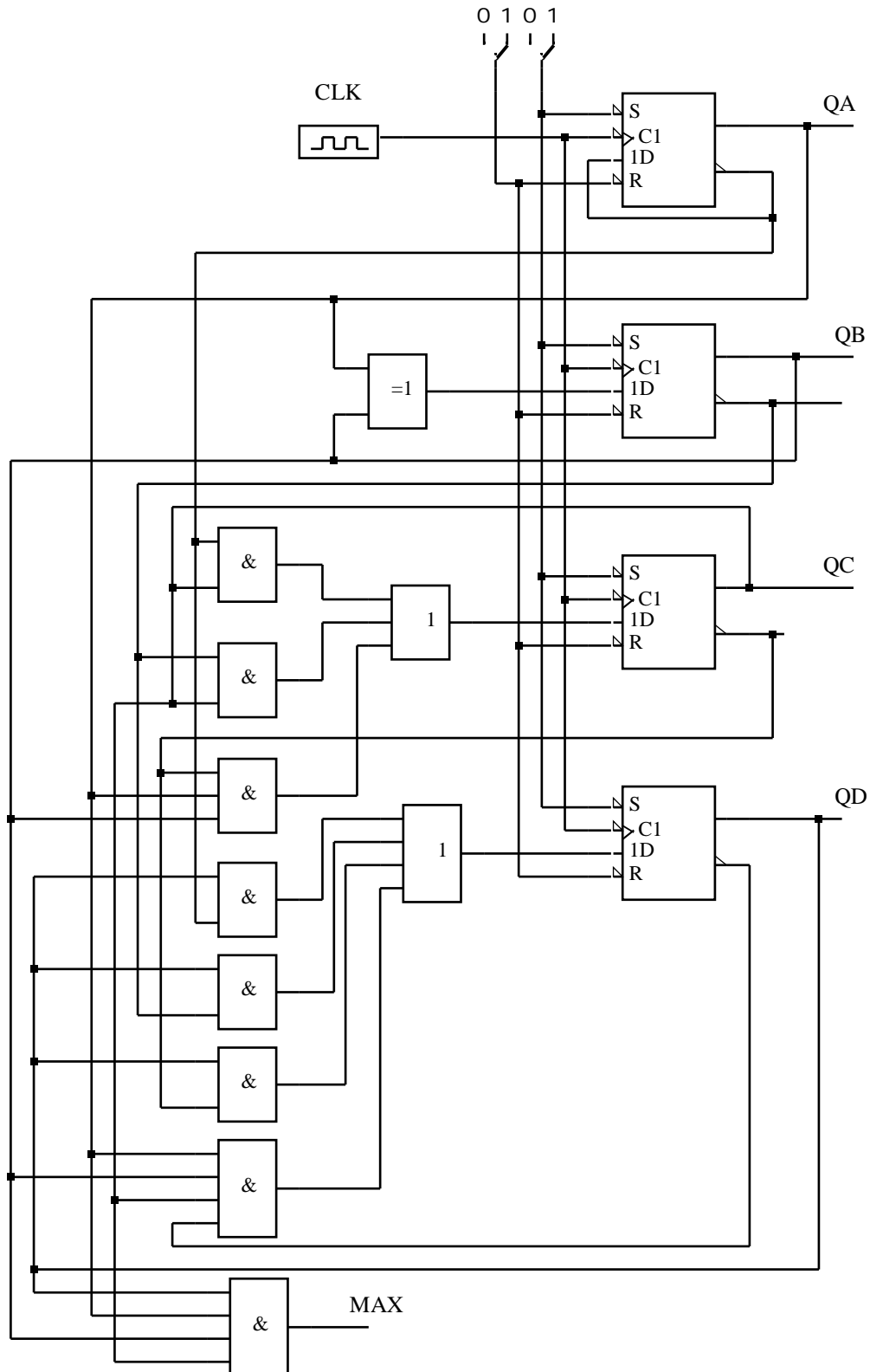
Vergelijkingen van het combinatorisch circuit.

$$DA = /QA$$

$$DB = /QA.QB + QA./QB$$

$$DC = /QA.QC + /QB.QC + QA.QB./QC$$

$$DD = /QA.QD + /QB.QD + /QC.QD + QA.QB.QC./QD \text{ en } MAX = QA.QB.QC.QD$$



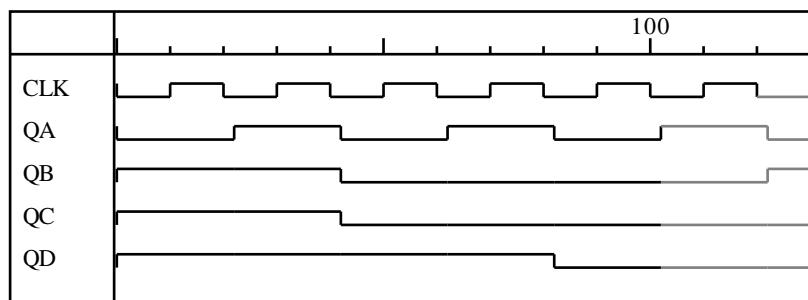
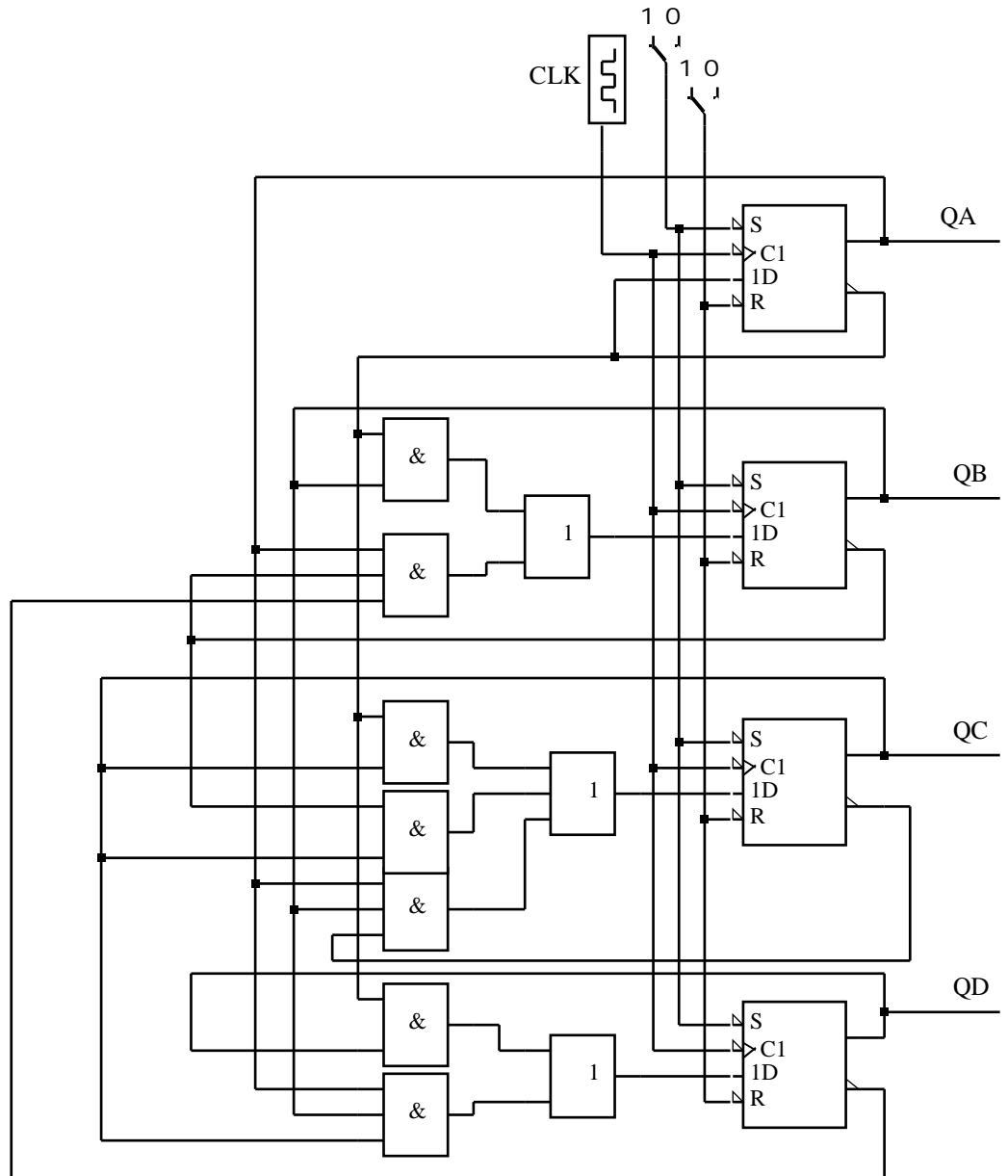
### Oplossing oefening 7.3

$$DA = /QA$$

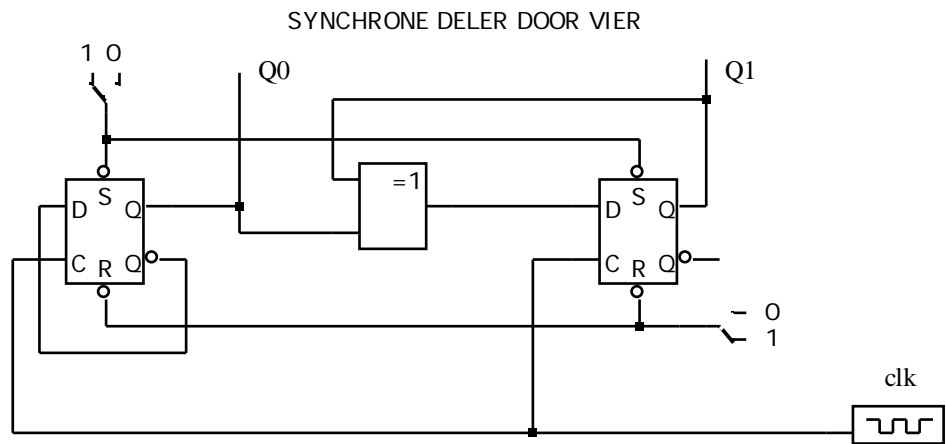
$$DB = QA.QB + QA./QB./QD$$

$$DC = /QA.QC. + /QB.QC + QA.QB./QC$$

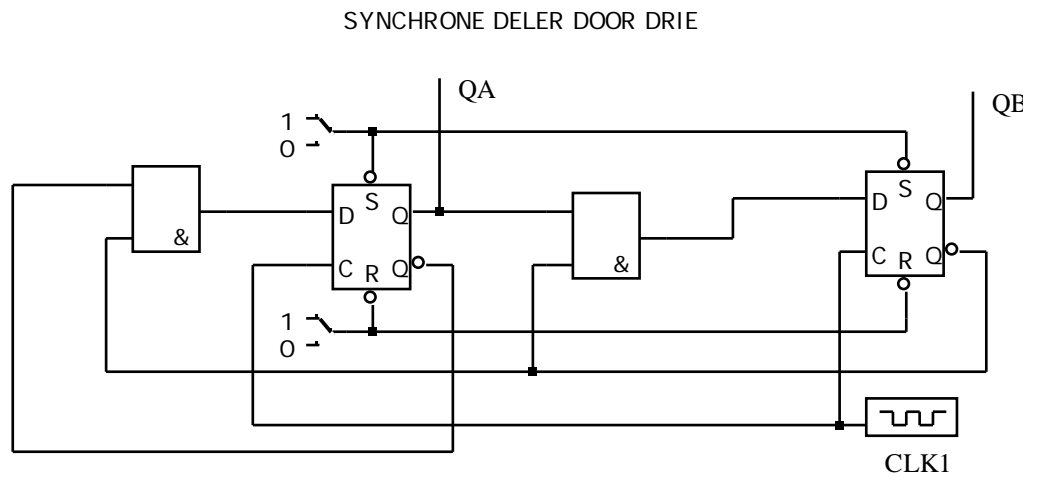
$$DD = /QA.QD + QA.QB.QC$$



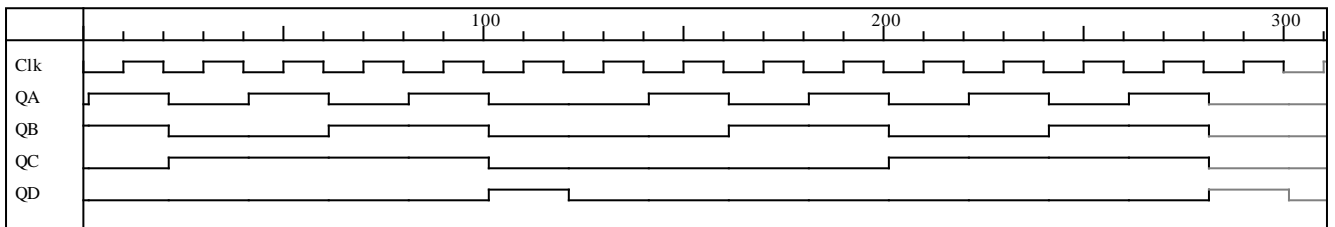
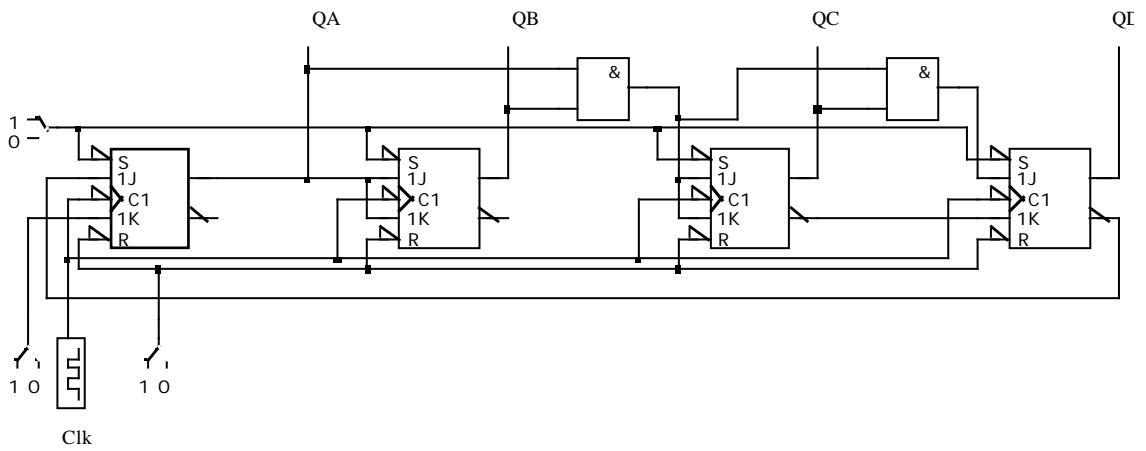
Oplossing oefening 8.1



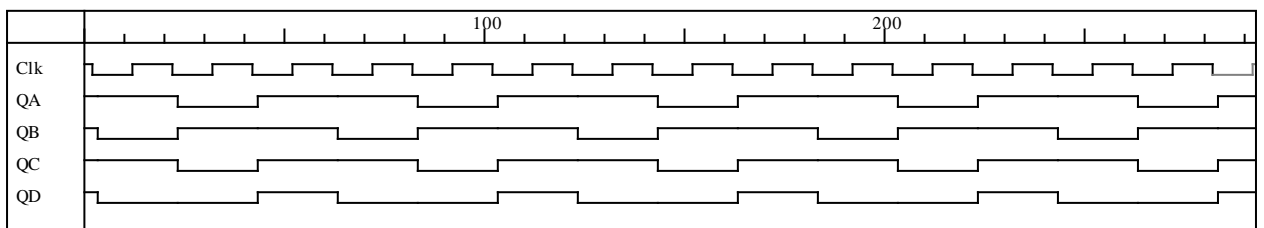
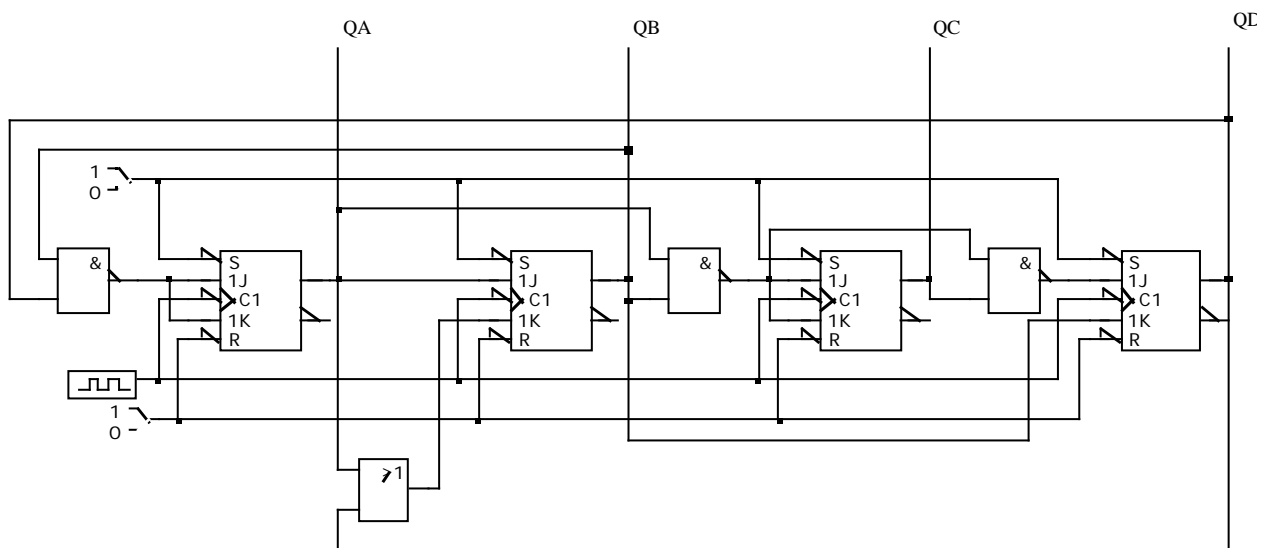
Oplossing oefening 8.2



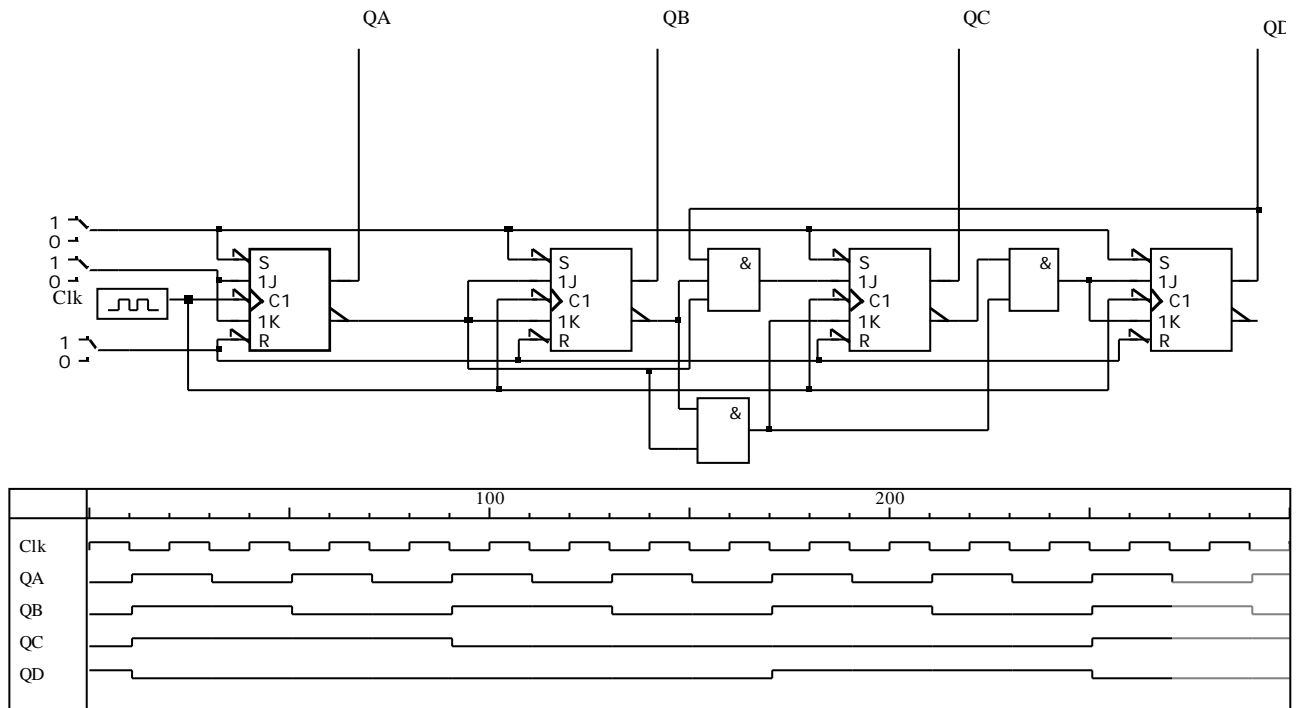
### Oplossing oefening 8.3



### Oplossing oefening 8.4



### Oplossing oefening 9.1



---

## TELLERS

Inhoud

Voorstelling van een synchroon sequentieel systeem

Synchrone 16-opteller met JK-FF.'s

Ontwerp van synchrone tellers

Ontwerp van een synchrone 16-opteller met JK flip flops

Ontwerp van een synchrone 8-op-afteller met JK-flip flops

Oefeningen

Ontwerp van een synchrone decade teller

Omkeerbare tellers

De 74191

Het IEC symbool van de 74191

Cascadeschakeling van de 74191

Synchrone n-teller

Modulo n-teller

Synchrone tellers met instelbare modulo

Asynchrone tellers

Voorstelling van een asynchrone teller in de IEC symboliek

Praktisch voorbeeld: de 7490

Oefeningen